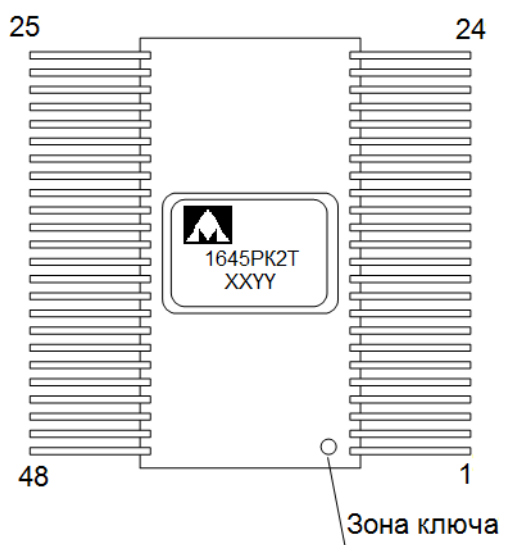




**Микросхема двухпортового статического ОЗУ
емкостью 16К (2Кx8) бит
1645PK2T, K1645PK2T, K1645PK2TK,
1645PK2H4, K1645PK2H4
1645PK21T, K1645PK21T, K1645PK21TK**



XX – год выпуска

YY – неделя выпуска

Основные характеристики микросхемы:

- Емкость СОЗУ 16К (2К x 8) бит;
- Напряжение источника питания 4,5 – 5,5 В;
- Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах) не более 1 мА;
- Динамический ток потребления (оба порта активны – ТТЛ уровни на входах) не более 150 мА;
- Время цикла чтения не менее 50 нс;
- Температурный диапазон:

Обозначение	Диапазон
1645PK2T	минус 60 – 125 °С
K1645PK2T	минус 60 – 125 °С
K1645PK2TK	0 – 70 °С
1645PK21T	минус 60 – 125 °С
K1645PK21T	минус 60 – 125 °С
K1645PK21TK	0 – 70 °С

Тип корпуса:

– 48-выводной металлокерамический корпус 4134.48-2;

– микросхемы 1645PK2H4, K1645PK2H4 поставляются в бескорпусном исполнении.

Общее описание и области применения микросхемы

Микросхемы представляют собой двухпортовое статическое ОЗУ ёмкостью 16К и организацией 2К слов по 8 бит и предназначены для использования в аппаратуре специального назначения. Микросхема разработана по КМОП технологии с минимальными проектными нормами 0,6 мкм, с двумя уровнями поликремния и тремя уровнями металла. В качестве запоминающего элемента использована восьмитранзисторная ячейка памяти. Если требуется увеличение разрядности шины данных, то микросхемы могут использоваться совместно в парах 1645PK2T – 1645PK21T («Ведущий» – «Ведомый»).

Структурная блок-схема микросхемы

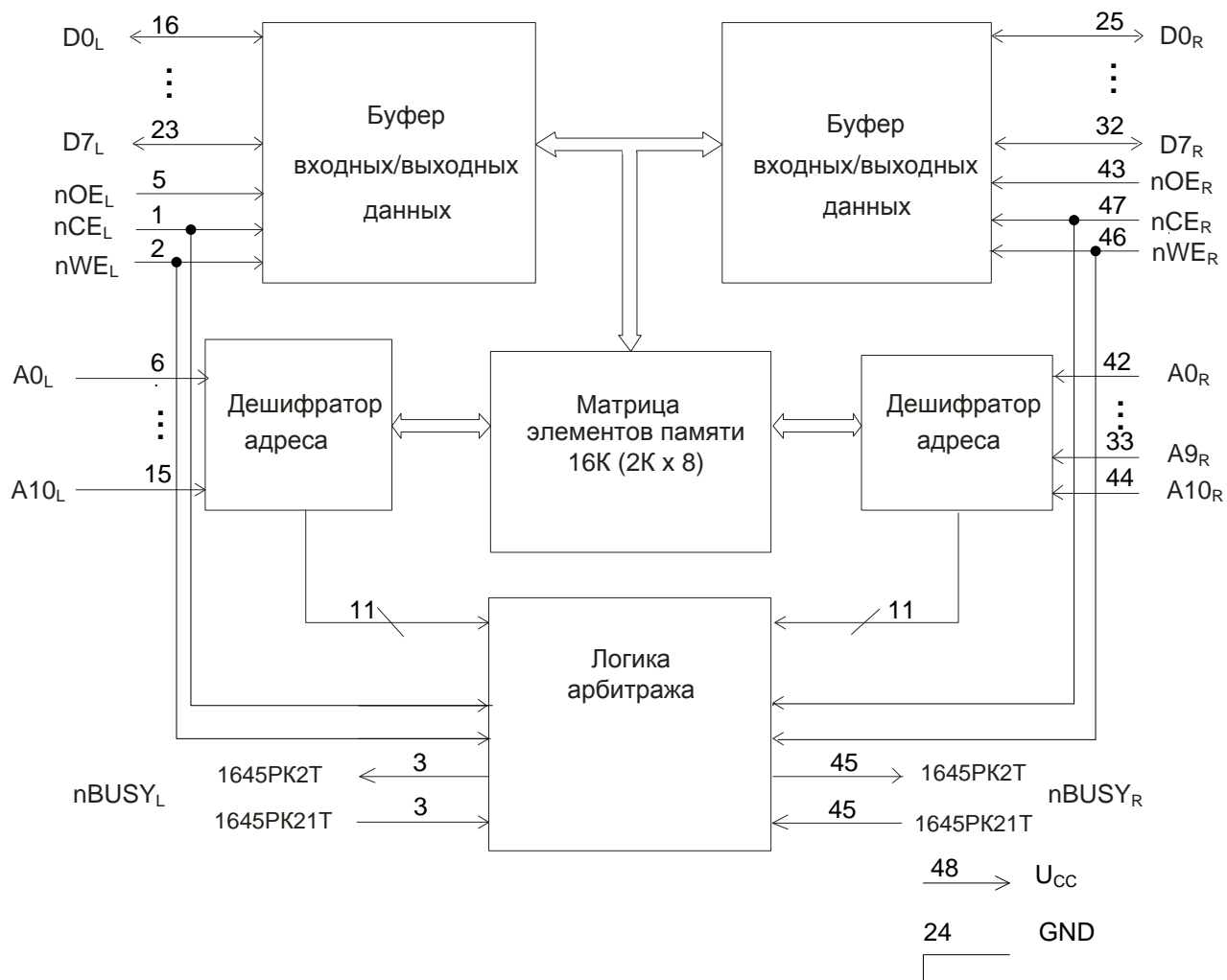


Рисунок 1 – Структурная блок-схема

Условно-графическое обозначение

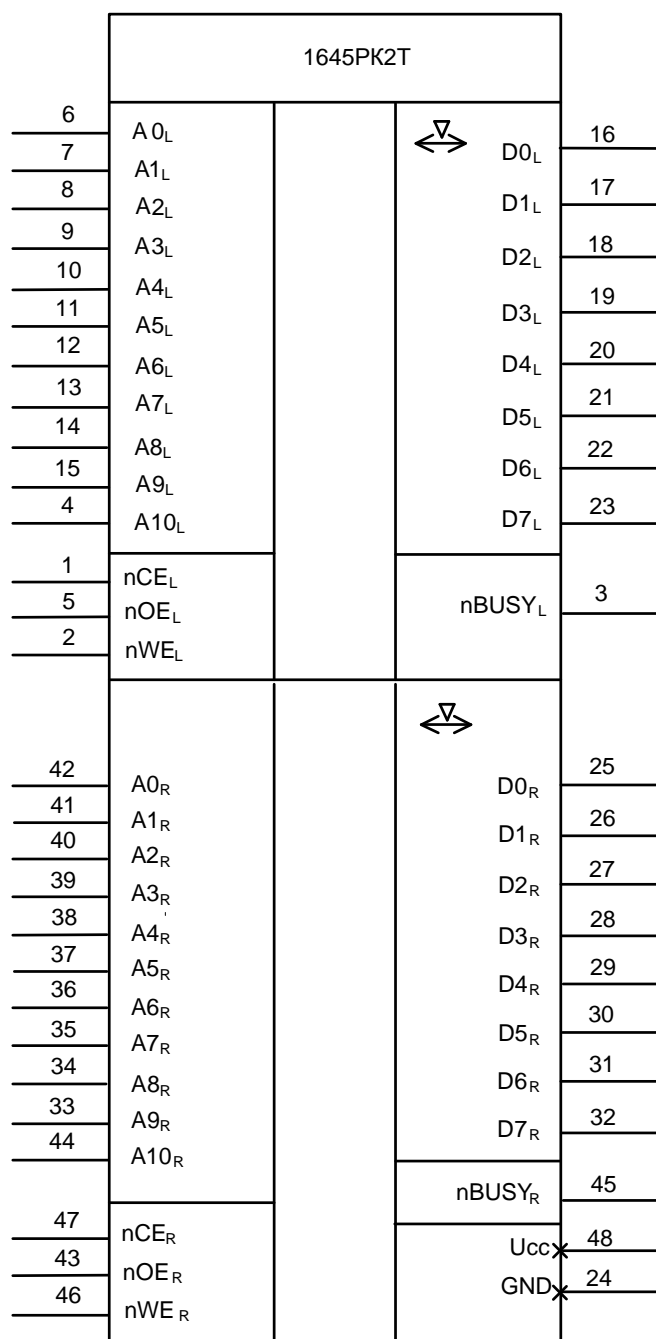


Рисунок 2 – Условно графическое обозначение микросхемы 1645PK2T

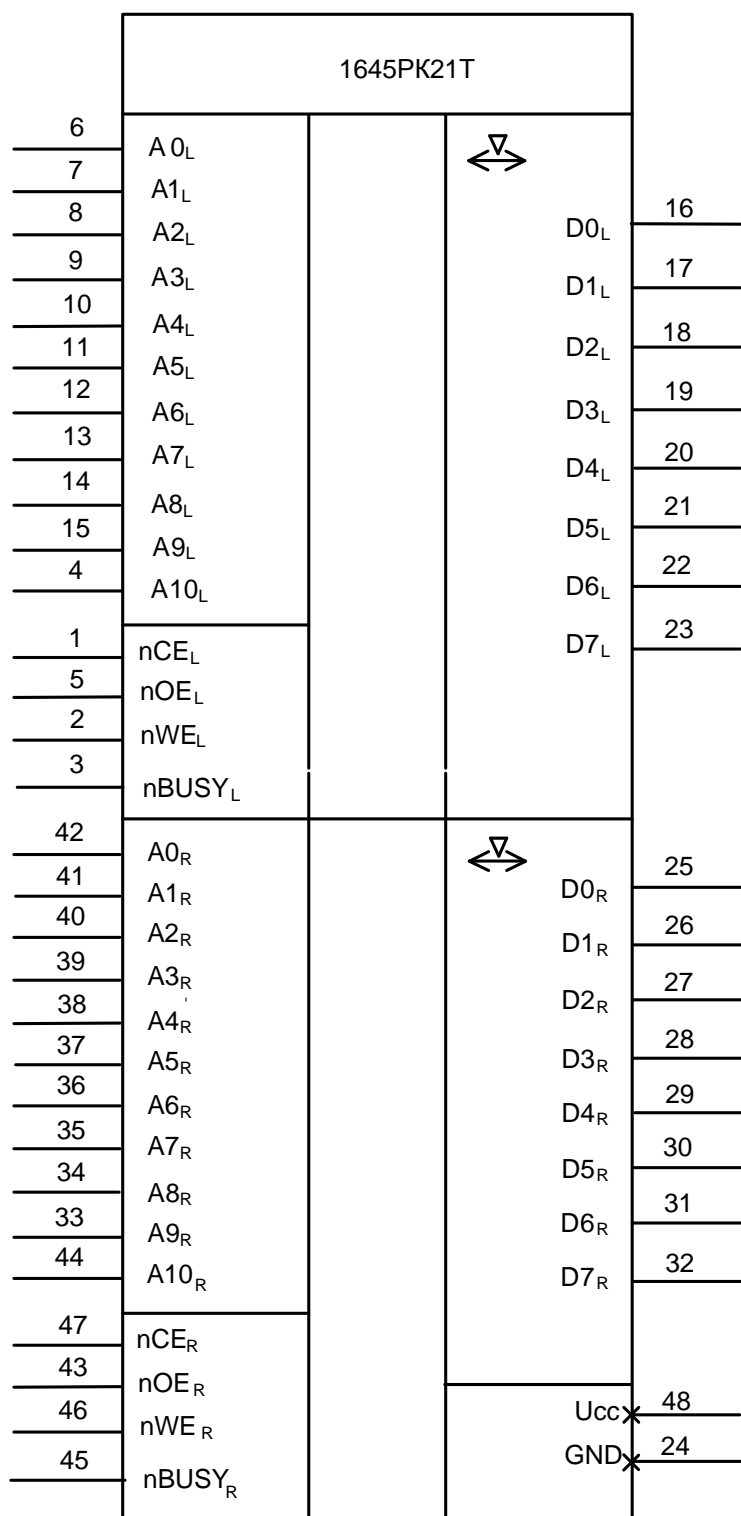


Рисунок 3 – Условно графическое обозначение микросхемы 1645PK21T

Описание выводов

Таблица 1 – Назначение выводов

№ вывода кристалла		№ вывода корпуса	Условное обозначение	Функциональное назначение выводов	
1645PK2T	1645PK21T			1645PK2T	1645PK21T
1		1	nCE _L	Вход сигнала разрешения выборки левого порта (активный низкий уровень). Высокий уровень сигнала переводит выходы шины данных в состояние «Выключено».	
2		2	nWE _L	Вход сигнала разрешения записи левого порта (активный низкий уровень). Низкий уровень переводит выходы шины данных в состояние «Выключено».	
3		3	nBUSY _L	Выход сигнала занятости левого порта	Вход сигнала занятости левого порта
4		4	A10 _L	Вход сигнала адреса левого порта	
5		5	nOE _L	Вход сигнала разрешения выхода данных левого порта (активный низкий). Высокий уровень сигнала переводит выходы шины данных в состояние «Выключено».	
6		6	A0 _L	Вход сигнала адреса левого порта	
7		7	A1 _L	Вход сигнала адреса левого порта	
8		8	A2 _L	Вход сигнала адреса левого порта	
9		9	A3 _L	Вход сигнала адреса левого порта	
10		10	A4 _L	Вход сигнала адреса левого порта	
11		11	A5 _L	Вход сигнала адреса левого порта	
12		12	A6 _L	Вход сигнала адреса левого порта	
13		13	A7 _L	Вход сигнала адреса левого порта	
14		14	A8 _L	Вход сигнала адреса левого порта	
15		15	A9 _L	Вход сигнала адреса левого порта	
16		16	D0 _L	Вход/выход сигнала данных левого порта	
17		17	D1 _L	Вход/выход сигнала данных левого порта	
18		18	D2 _L	Вход/выход сигнала данных левого порта	
19		19	D3 _L	Вход/выход сигнала данных левого порта	
21		20	D4 _L	Вход/выход сигнала данных левого порта	
22		21	D5 _L	Вход/выход сигнала данных левого порта	
23		22	D6 _L	Вход/выход сигнала данных левого порта	
24		23	D7 _L	Вход/выход сигнала данных левого порта	
27, 28	25, 27, 28	24	GND	Общий	
29		25	D0 _R	Вход/выход сигнала данных правого порта	
30		26	D1 _R	Вход/выход сигнала данных правого порта	
31		27	D2 _R	Вход/выход сигнала данных правого порта	
32		28	D3 _R	Вход/выход сигнала данных правого порта	
33		29	D4 _R	Вход/выход сигнала данных правого порта	
35		30	D5 _R	Вход/выход сигнала данных правого порта	
36		31	D6 _R	Вход/выход сигнала данных правого порта	

№ вывода кристалла		№ вывода корпуса	Условное обозначение	Функциональное назначение выводов	
1645PK2T	1645PK21T			1645PK2T	1645PK21T
37		32	D7R	Вход/выход сигнала данных правого порта	
38		33	A9R	Вход сигнала адреса правого порта	
39		34	A8R	Вход сигнала адреса правого порта	
40		35	A7R	Вход сигнала адреса правого порта	
41		36	A6R	Вход сигнала адреса правого порта	
42		37	A5R	Вход сигнала адреса правого порта	
43		38	A4R	Вход сигнала адреса правого порта	
44		39	A3R	Вход сигнала адреса правого порта	
45		40	A2R	Вход сигнала адреса правого порта	
46		41	A1R	Вход сигнала адреса правого порта	
47		42	A0R	Вход сигнала адреса правого порта	
48		43	nOER	Вход сигнала разрешения выхода данных правого порта (активный низкий). Высокий уровень сигнала переводит выходы шины данных в состояние «Выключено».	
49		44	A10R	Вход сигнала адреса правого порта	
50		45	nBUSYR	Выход сигнала занятости правого порта	Вход сигнала занятости правого порта
51		46	nWER	Вход сигнала разрешения записи правого порта (активный низкий уровень). Низкий уровень сигнала переводит выходы шины данных в состояние «Выключено».	
52		47	nCER	Вход сигнала разрешения выборки правого порта (активный низкий уровень). Высокий уровень сигнала переводит выходы шины данных в состояние «Выключено».	
53, 54, 55	53, 54	48	UCC	Питание	

Описание функционирования микросхемы

Микросхемы представляют собой двухпортовое статическое ОЗУ ёмкостью 16К и организацией 2К слов по 8 бит. Микросхемы разработаны по КМОП технологии с минимальными проектными нормами 0,6 мкм, с двумя уровнями поликремния и тремя уровнями металла. В качестве запоминающего элемента использована восьмитранзисторная ячейка памяти. Если требуется увеличение разрядности шины данных, то микросхемы могут использоваться совместно в парах 1645PK2T – 1645PK21T («Ведущий» – «Ведомый»).

Типовые режимы работы двухпортового СОЗУ обеспечиваются управляющими сигналами nCE, nOE и nWE на соответствующих входах микросхемы в соответствии с таблицами истинности (Таблица 2, Таблица 3) и временными диаграммами (Рисунок 4 – 11). Выводы A0–A10_(L,R) являются адресными входами, выводы данных D0–D7_(L,R) являются двунаправленными, их состояние зависит от логических уровней управляющих сигналов.

Микросхемы имеют два порта с отдельными выводами сигналов управления, сигналов адреса и сигналов входной/выходной информации, которые позволяют осуществить независимый доступ для чтения и записи в любое место памяти. При напряжении высокого уровня на входах nCE микросхема находится в режиме хранения и ее состояние не зависит от других управляющих сигналов, сигналов адреса и сигналов данных. Выходы данных микросхемы при этом находятся в состоянии высокого импеданса. В этом режиме микросхема потребляет минимальную мощность.

Операции записи и считывания возможны при активном сигнале nCE (напряжение низкого уровня на входе nCE). При напряжении низкого уровня на входе nWE происходит запись информации в определенные ячейки памяти в соответствии с сигналами на входах данных (D0–D7) и адресным кодом на входах адреса (A0–A10) соответствующего порта. По каждому адресному коду происходит выборка восьми ячеек памяти (по одной в каждом разряде) и записывается восемь бит входной информации (по одному в каждую ячейку). Низкий уровень на входе nWE переводит выходы данных соответствующего порта микросхемы в третье состояние (состояние высокого импеданса) независимо от уровня сигнала на входе nOE.

Считывание происходит при напряжении высокого уровня на входе nWE, информация появляется на выходах данных микросхемы в соответствии с адресным кодом на входах адреса и наличии напряжения низкого уровня на входе nOE. Сигнал nOE управляет выходными буферами (соответствующего порта), обеспечивая их переход в третье состояние (при напряжении высокого уровня на входе nOE) независимо от состояния других управляющих сигналов.

Таблица 2 – Таблица истинности для считывания/записи в бесконфликтной ситуации

Входы			Выходы	Режим
nCE	nWE	nOE	D0 – D7	
H	X	X	Состояние высокого импеданса	Хранение данных
L	L	X	Входные данные	Запись данных
L	H	L	Выходные данные	Считывание данных
L	H	H	Состояние высокого импеданса	Запрет выхода данных при считывании

Примечания:
 1 H – состояние высокого уровня;
 2 L – состояние низкого уровня;
 3 X – любое состояние высокого или низкого уровня;
 4 A0L-A10L ≠ A0R-A10R.

Таблица 3 – Таблица истинности – занятость при арбитраже по адресу

Входы			Выходы (Входы)1)		Функционирование
nCE	nWE	A0L-A10L A0R-A10R	nBUSYL	nBUSYR	
X	X	Различные	H	H	Нормальное
H	X	Одинаковые	H	H	Нормальное
X	H	Одинаковые	L/H	L/H	Нормальное
L	L	Одинаковые	(2, 3)	(2, 3)	Запрет записи

Примечания:
 1 В микросхеме 1645PK2T выходы nBUSYL и nBUSYR являются выходами. В микросхеме 1645PK21T оба являются входами.
 У микросхемы 1645PK21T в режиме "Ведомый" входы nBUSY запрещают запись внутри микросхемы.
 2 Для 1645PK2T. Если, с учётом соблюдения времён tSU(AR-AL) и tSU(nCER-nCEL), сигналы адреса (A0L-A10L) и nCEL приходят раньше чем сигналы адреса (A0R-A10R) и nCER, то выход nBUSYL принимает значение «Высокий уровень», а выход nBUSYR принимает значение «Низкий уровень».
 Если, с учётом соблюдения времён tSU(AR-AL) и tSU(nCER-nCEL), сигналы адреса (A0L-A10L) и nCEL приходят позже чем сигналы адреса (A0R-A10R) и nCER, то выход nBUSYL принимает значение «Низкий уровень», а выход nBUSYR принимает значение «Высокий уровень».
 При не соблюдении любого из времён tSU(AR-AL) и tSU(nCER-nCEL) один из выходов nBUSY(R, L) примет значение «Высокий уровень», а другой «Низкий уровень».
 3 Запись в левый порт запрещается внутри микросхемы, если на выводе nBUSYL сформирован «Низкий уровень». Запись в правый порт запрещается внутри микросхемы, если на выводе nBUSYR сформирован «Низкий уровень».

Взаимодействие портов

Каждый порт в любой момент времени независимо от другого порта может проводить чтение по любому адресу. Процесс записи в различные адреса также не вызывает помехи со стороны противоположного порта.

Если запись одного порта начнется раньше, чем по тому же адресу другой порт начнет чтение, то на информационные выходы читающего порта поступит та

информация, которая записывается другим портом. Считывание будет достоверным, если длительность обращения читающего порта будет достаточной для того, чтобы обновленная информация по этому адресу зафиксировалась его выходными защелками.

В случае если оба порта намереваются провести запись по одному и тому же адресу, то запись пройдет успешно у того порта, который первым начнет эту процедуру. "Запоздавшему" порту запись будет заблокирована. Для того, чтобы процессоры, управляющие портами, могли "согласовать" свои действия, и не возникло конфликтной ситуации, микросхема 1645PK2T наделена "логикой занятости".

Логика занятости

Логика занятости обеспечивает аппаратную индикацию при обращении обоих портов одновременно в одно и то же место ОЗУ. Это позволяет одному из двух портов завершить операцию и сигнализировать другому порту, что ячейка ОЗУ "Занята". Логическое состояние на выводе nBUSY в это время может быть использовано для остановки доступа к ячейке памяти одного порта до завершения аналогичной операции другим портом. Если операция записи предпринимается со стороны порта, который получил сигнал занятости, то внутри микросхемы сигнал записи этого порта блокируется для предотвращения этого процесса.

Использование логики занятости не является обязательным для любых применений. В некоторых случаях это может быть удобно: по логике ИЛИ можно объединить выходы занятости вместе и использовать индикацию занятости как источник прерывания для обозначения ошибочного события или нелогичной операции.

Если для увеличения емкости используется несколько микросхем одновременно, то для индикации результирующего сигнала занятости всего массива ОЗУ требуется использование внешнего элемента И.

Увеличение разрядности при помощи логики занятости в массивах 1645PK2T/1645PK21T («Ведущий»/«Ведомый»)

Когда увеличивается разрядность массива ОЗУ на микросхемах 1645PK2T, 1645PK21T с использованием логики занятости, одна микросхема "Ведущий" (1645PK2T) используется для определения того, какая сторона массива (порт) ОЗУ будет получать индикацию занятости и выводить индикацию. Любое число ведомых микросхем должны получать адрес из того же адресного пространства, что и "Ведущий", используя сигнал занятости как сигнал запрета записи.

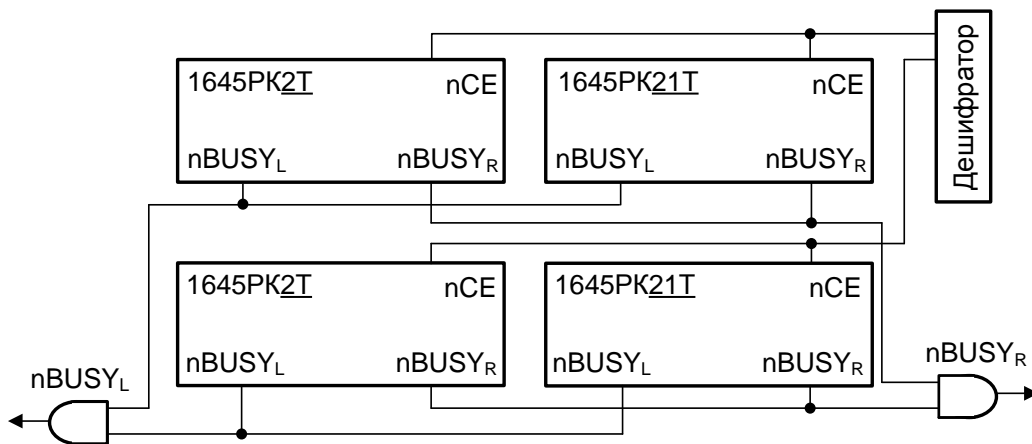


Рисунок 4 – Разводка сигналов занятости nBUSY и выборки кристаллов nCE для расширения разрядности и емкости сборки на базе микросхем 1645PK2T, 1645PK21T («Ведущий» – «Ведомый»)

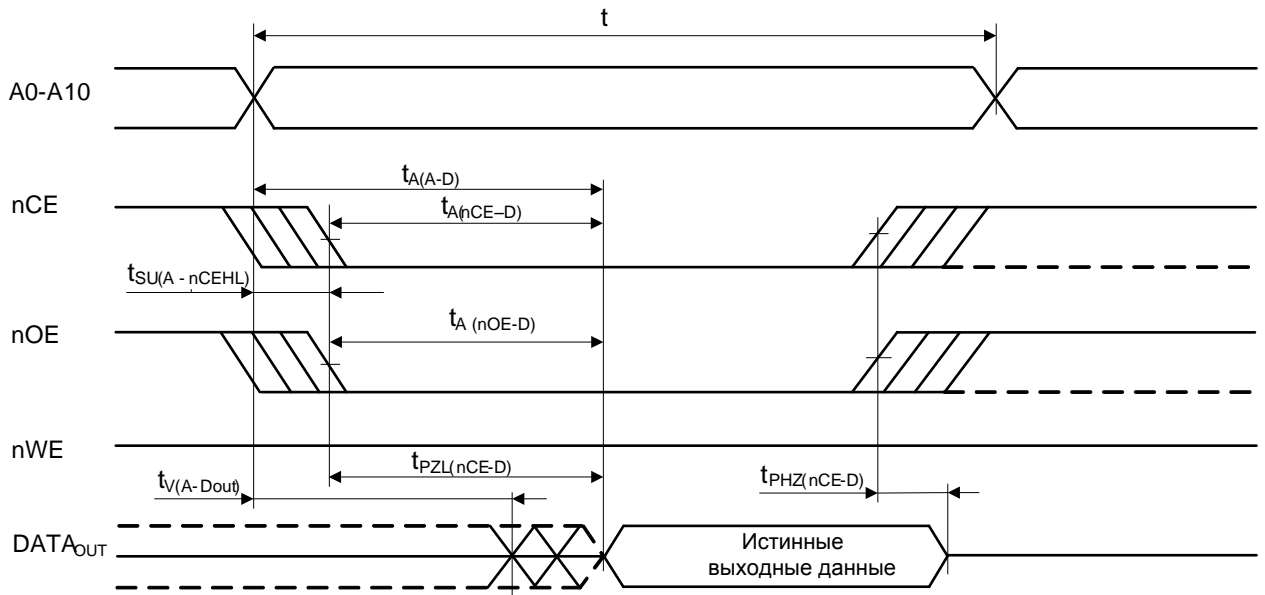


Рисунок 5 – Временная диаграмма цикла чтения

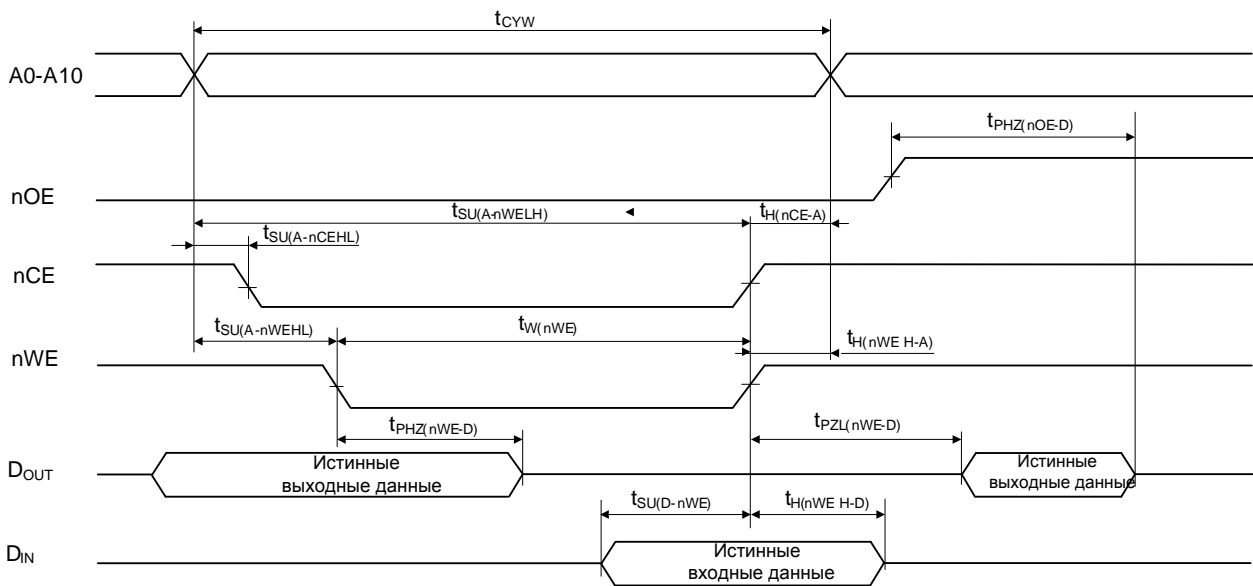


Рисунок 6 – Временная диаграмма цикла записи по сигналу nWE

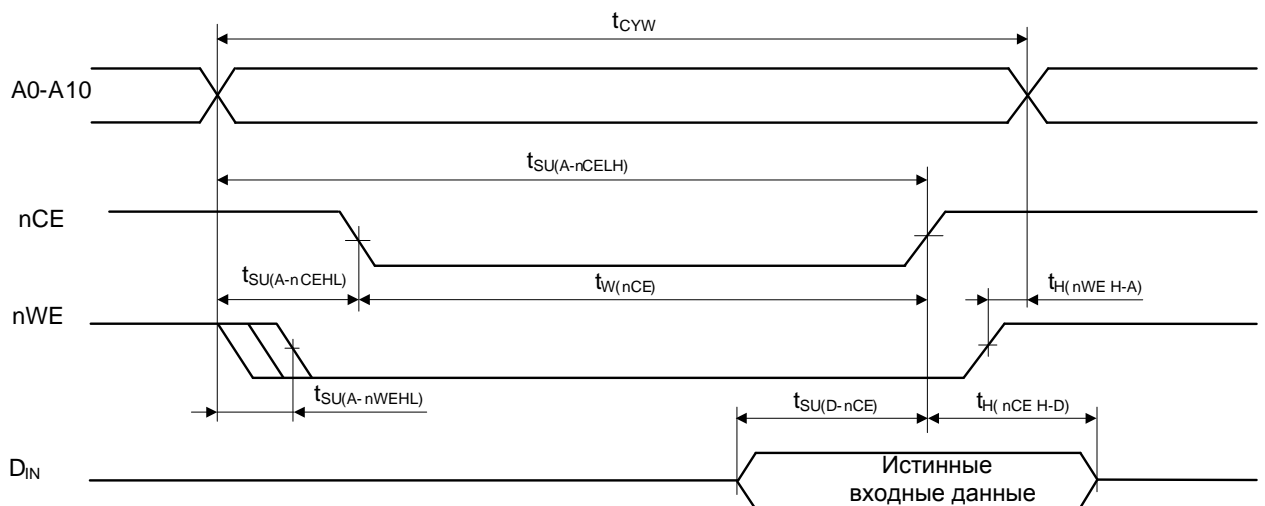


Рисунок 7 – Временная диаграмма цикла записи по сигналу nCE

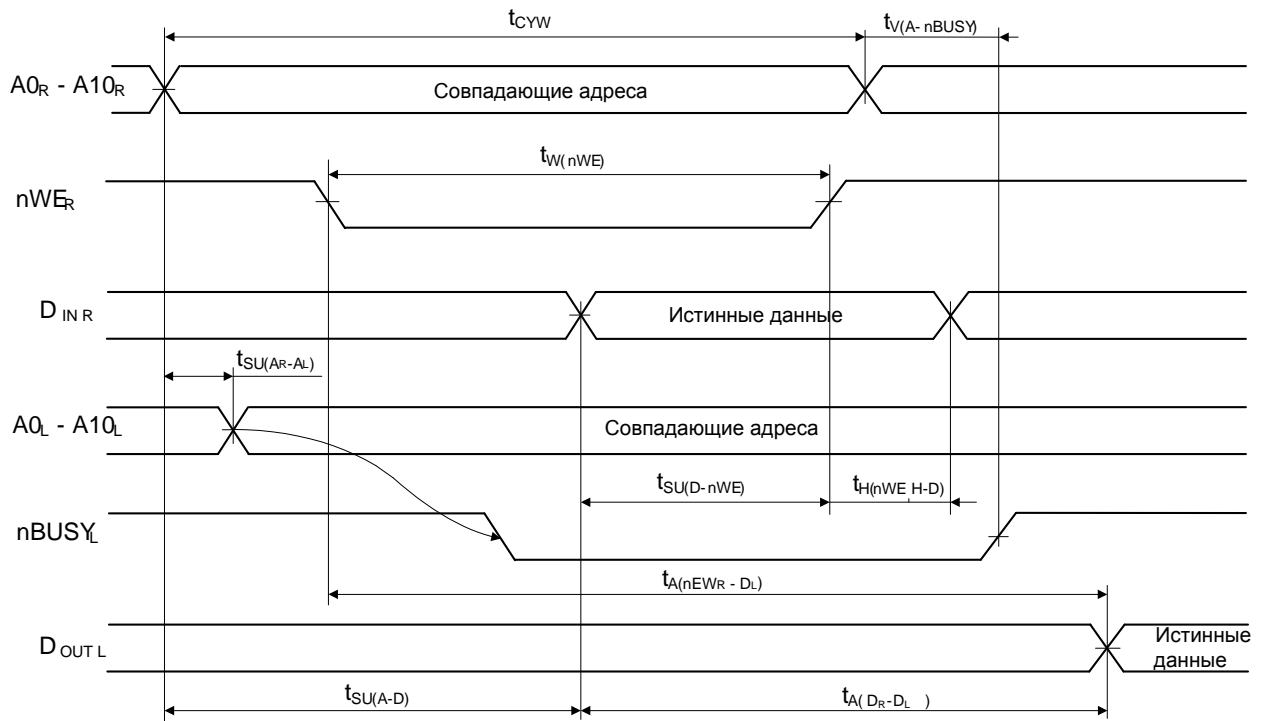


Рисунок 8 – Временная диаграмма записи по порту R с чтением по порту L и nBUSY. Состояние остальных входов микросхемы приведены на рисунке 2 (цикл чтения), рисунках 3 и 4 (цикл записи). Микросхема 1645PK2T

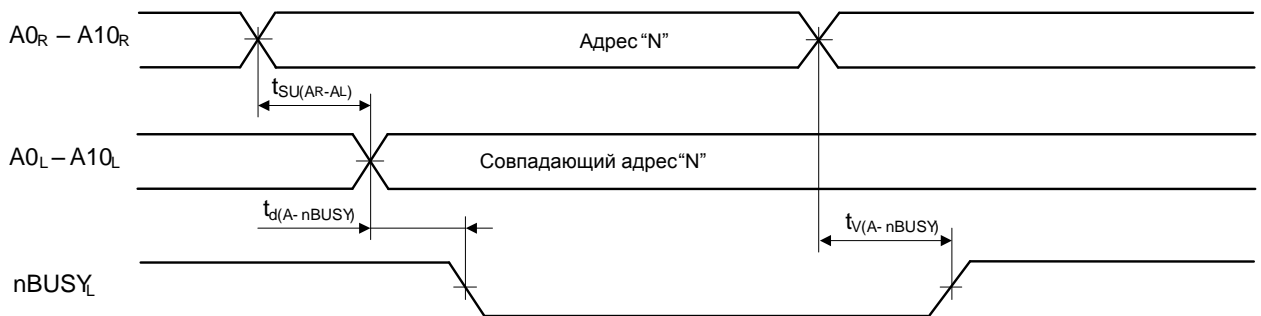


Рисунок 9 – Временная диаграмма арбитража nBUSY по адресам. Микросхема 1645PK2T

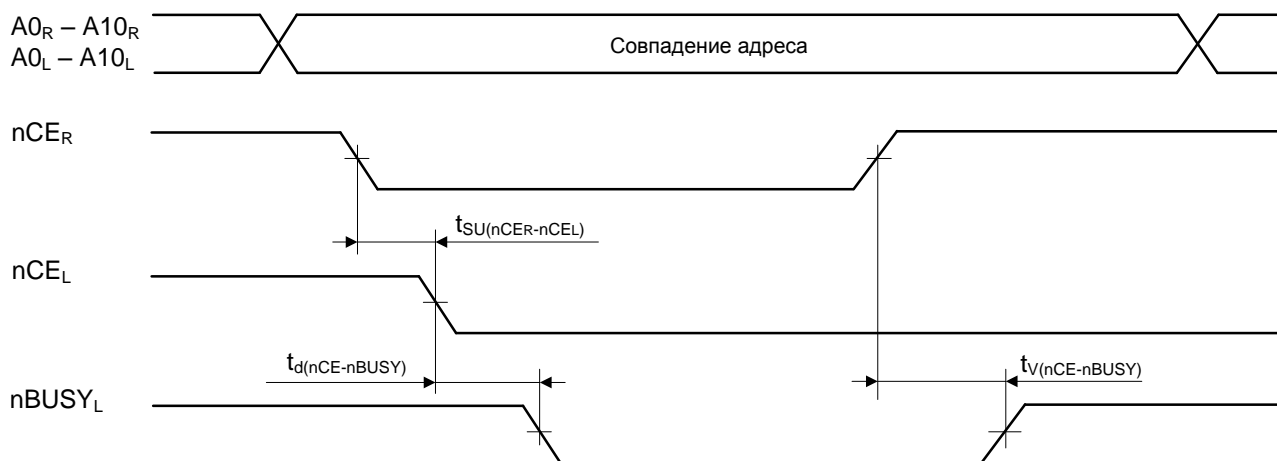


Рисунок 10 – Временная диаграмма арбитража nBUSY по сигналам nCE. Микросхема 1645PK2T

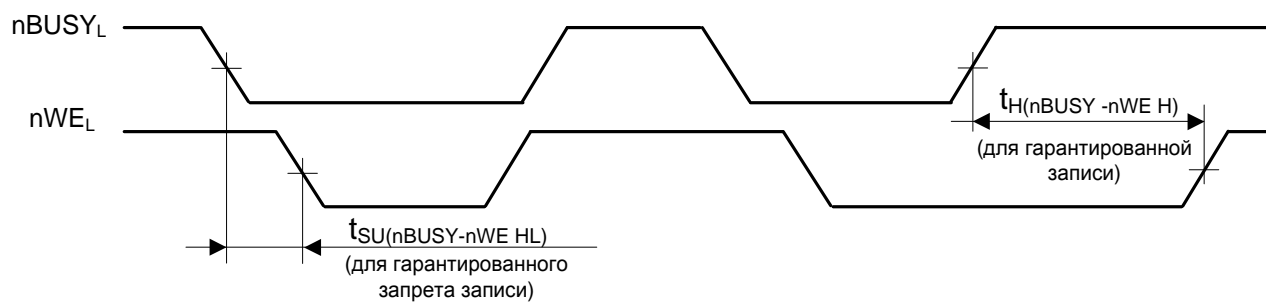
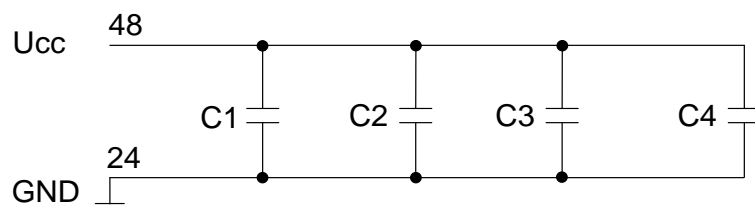


Рисунок 11 – Временная диаграмма записи с флагом "nBUSY" от совпадения адресов. Микросхема 1645PK21T

Типовая схема включения



C1, C2, C3, C4 – конденсаторы, C1 = C2 = C3 = 0,1 мкФ;
C4 = 10 мкФ.

Рисунок 12 – Типовая схема подключения питания

Предельно-допустимые характеристики микросхемы

Таблица 4 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение источника питания, В	U_{CC}	4,5	5,5	–	6,0
Входное напряжение высокого уровня, В	U_{IH}	2,4	–	–	$U_{CC}+0,3^{1)}$
Входное напряжение низкого уровня, В	U_{IL}	–	0,8	$-0,3^{1)}$	–
Выходной ток высокого уровня, мА	I_{OH}	– 4	–	– 6	–
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	6
Напряжение высокого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OZH}	–	U_{CC}	–	$U_{CC}+0,3$
Напряжение низкого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OZL}	0	–	$-0,3$	–
Время цикла записи, нс	t_{CYW}	50	–	–	–
Время цикла считывания, нс	t_{CYR}	50	–	–	–
Длительность сигнала nCE при записи, нс	$t_{W(nCE)}$	40	–	–	–
Время установления адреса относительно начала сигнала nCE, нс	$t_{SU(A-nCEHL)}$	0	–	–	–
Время установления адреса относительно окончания сигнала записи nWE, нс	$t_{SU(A-nWELH)}$	40	–	–	–
Время установления адреса относительно начала сигнала записи nWE, нс	$t_{SU(A-nWEHL)}$	0	–	–	–
Время установления адреса относительно окончания сигнала nCE при записи, нс	$t_{SU(A-nCELH)}$	40	–	–	–
Длительность сигнала записи nWE, нс	$t_{W(nWE)}$	40	–	–	–
Время удержания сигнала адреса относительно окончания сигнала nWE или nCE, нс	$t_{H(nWE\ H-A)}$ $t_{H(nCE\ H-A)}$	0	–	–	–
Время установления входных данных относительно окончания сигнала nWE или nCE, нс	$t_{SU(D-nWE\ H)}$ $t_{SU(D-nCE\ H)}$	30	–	–	–
Время удержания входных данных относительно окончания сигнала записи nWE или nCE, нс	$t_{H(nWE\ H-D)}$ $t_{H(nCE\ H-D)}$	0	–	–	–
Время установления входных данных относительно адреса, нс	$t_{SU(A-D)}$	0	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время установления адреса порта R (L) относительно смены адреса порта L (R) для гарантированного приоритета, нс	$t_{SU(AR(L)-AL(R))}$	10	–	–	–
Время установления сигнала nCE порта R (L) относительно установления сигнала nCE порта L (R) для гарантированного приоритета, нс	$t_{SU(nCEL(R)-nCER(L))}$	5	–	–	–
Емкость нагрузки, пФ	C_L	–	30	–	–
nBUSY-логика для 1645PK21T					
Время установления сигнала записи nWE относительно входного сигнала nBUSY этого же порта для гарантированного запрета записи, нс, при $U_{CC} = 4,5$ В	$t_{SU(nBUSY - nWE HL)}$	0	–		
Время удержания сигнала записи nWE относительно окончания сигнала nBUSY для завершения записи, нс, при $U_{CC} = 4,5$ В	$t_{H(nBUSY - nWE H)}$	40	–		
П р и м е ч а н и е – Не допускается одновременное воздействие двух и более предельных режимов.					

Электрические параметры микросхемы

Таблица 5 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В	U_{OH}	2,4	–	25, 125, – 60
Выходное напряжение низкого уровня, В	U_{OL}	–	0,4	25, 125, – 60
Ток утечки высокого уровня на входе, мкА	I_{ILH}	– 10	10	25, 125, – 60
Ток утечки низкого уровня на входе, мкА	I_{ILL}	– 10	10	25, 125, – 60
Выходной ток высокого уровня в состоянии «Выключено», мкА	I_{OZH}	– 10	10	25, 125, – 60
Выходной ток низкого уровня в состоянии «Выключено», мкА	I_{OZL}	– 10	10	25, 125, – 60
Динамический ток потребления (оба порта активны – ТТЛ уровни на входах), мА, при $nCE_L=nCE_R=nOE_L=nOE_R=U_{IL}=0,8$ В, $U_{IH}=2,4$ В, $R_L=\infty$, $t_{CYR}=t_{CYR\ min}$	I_{OCC1}	–	150	25, 125, – 60
Ток потребления в режиме хранения (оба порта неактивны – ТТЛ уровни на входах), мА, при $nCE_R=nCE_L=nOE_L=nOE_R=U_{IH}=2,4$ В, $U_{IL}=0,8$ В, $t_{CYR}=t_{CYR\ min}$	I_{CCS1}	–	20	25, 125, – 60
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, при $nCE_R=nCE_L=nOE_L=nOE_R=U_{IH}=U_{CC}-0,2$ В, $U_{IL}=0,2$ В, $t_{CYR}=t_{CYR\ min}$	I_{CCS2}	–	2	25, 125, – 60
Ток потребления в режиме хранения (оба порта неактивны – ТТЛ уровни на входах), мА, при $(A0-A10)_L=(A0-A10)_R=U_{IH}$, $nCE_R=nCE_L$ $=U_{IH}=2,4$ В, $U_{IL}=0,8$ В, $t_{CYR}=\infty$	I_{CCS3}	–	25	25, 125, – 60
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, $(A0-A10)_L=(A0-A10)_R=U_{IH}$, $nCE_R=nCE_L=U_{IH}=U_{CC}-$ $0,2$ В, $U_{IL}=0,2$ В, $t_{CYR}=\infty$	I_{CCS4}	–	1	25, 125, – 60
Время выборки данных по адресу, нс	$t_{A(A-D)}$	–	50	25, 125, – 60
Время выборки данных по сигналу nCE , нс	$t_{A(nCE-D)}$	–	50	25, 125, – 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время выборки данных по сигналу nOE, нс	$t_{A(nOE-D)}$	–	20	25, 125, – 60
Взаимодействие Порт-L- Порт-R				
Время выборки данных порта L (R) относительно начала сигнала nWE порта R (L). Адреса считывания и записи обоих портов совпадают, нс	$t_{A(nWER(L)-DL(R))}$	–	70	25, 125, – 60
Время выборки данных порта R (L) относительно фронта изменения входных данных, записываемых по порту L (R) (адреса считывания и записи обоих портов совпадают), нс	$t_{A(DL(R)-DR(L))}$	–	60	25, 125, – 60
nBUSY–логика для 1645PK2T				
Время задержки сигнала nBUSY относительно смены адреса, нс	$t_{d(A-nBUSY)}$	–	30	25, 125, – 60
Время сохранения сигнала nBUSY относительно смены адреса, нс	$t_{V(A-nBUSY)}$	–	30	25, 125, – 60
Время задержки сигнала nBUSY относительно сигнала nCE, нс	$t_{d(nCE-nBUSY)}$	–	30	25, 125, – 60
Время сохранения сигнала nBUSY относительно окончания сигнала nCE, нс	$t_{V(nCE-nBUSY)}$	–	30	25, 125, – 60

Таблица 6 – Электрические параметры микросхем на общей пластине и в виде отдельных кристаллов при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Ток потребления в режиме хранения (оба порта неактивны – ТТЛ уровни на входах), мА, при $U_{CC}=5,5$ В, $(A0-A10)L = (A0-A10)R = U_{IH}$, $nCER = nCEL = U_{IH} = 2,4$ В, $U_{IL} = 0,8$ В, $f = 0$ МГц	ICCS3	–	20	25
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, при $U_{CC} = 5,5$ В, $(A0-A10)L = (A0-A10)R = U_{IH}$, $nCER = nCEL = U_{IH} = U_{CC} - 0,2$ В, $U_{IL} = 0,2$ В, $f = 0$ МГц	ICCS4	–	0,8	25
Функциональный контроль	ФК	–	–	25

Справочные данные

Таблица 7 – Справочные параметры микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды (корпуса), °C
		не менее	не более	
Динамический ток потребления (оба порта активны – КМОП уровни на входах), мА, при UCC = 5,5 В, nCEL=nCER=nOEL=nOER=UIL=0,2 В, RL= ∞, , tCYR = tCYR min	IOCC2	–	140	25, 125, – 60
Время сохранения выходных данных после изменения сигнала адреса, если nCE и nOE сохраняют значение "0", нс	tV(A-Dout)	5	–	25, 125, – 60
Время перехода выхода из состояния "Выключено" в состояние высокого (низкого) уровня по сигналу nCE, нс	tPZL(nCE-D) tPZH(nCE-D)	10	–	25, 125, – 60
Время перехода выхода из состояния высокого (низкого) уровня в состояние "Выключено" по сигналу nCE, нс	tPHZ(nCE-D) tPLZ(nCE-D)	–	10	25, 125, – 60
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу nOE, нс	tPHZ(nOE-D) tPLZ(nOE-D)	–	15	25, 125, – 60
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу nWE, нс	tPHZ(nWE-D) tPLZ(nWE-D)	–	15	25, 125, – 60
Время перехода выхода из состояния «Выключено» в состояние высокого (низкого) уровня по окончании сигнала nWE, нс	tPZH(nWE-D) tPZL(nWE-D)	10	–	25, 125, – 60

Типовые зависимости

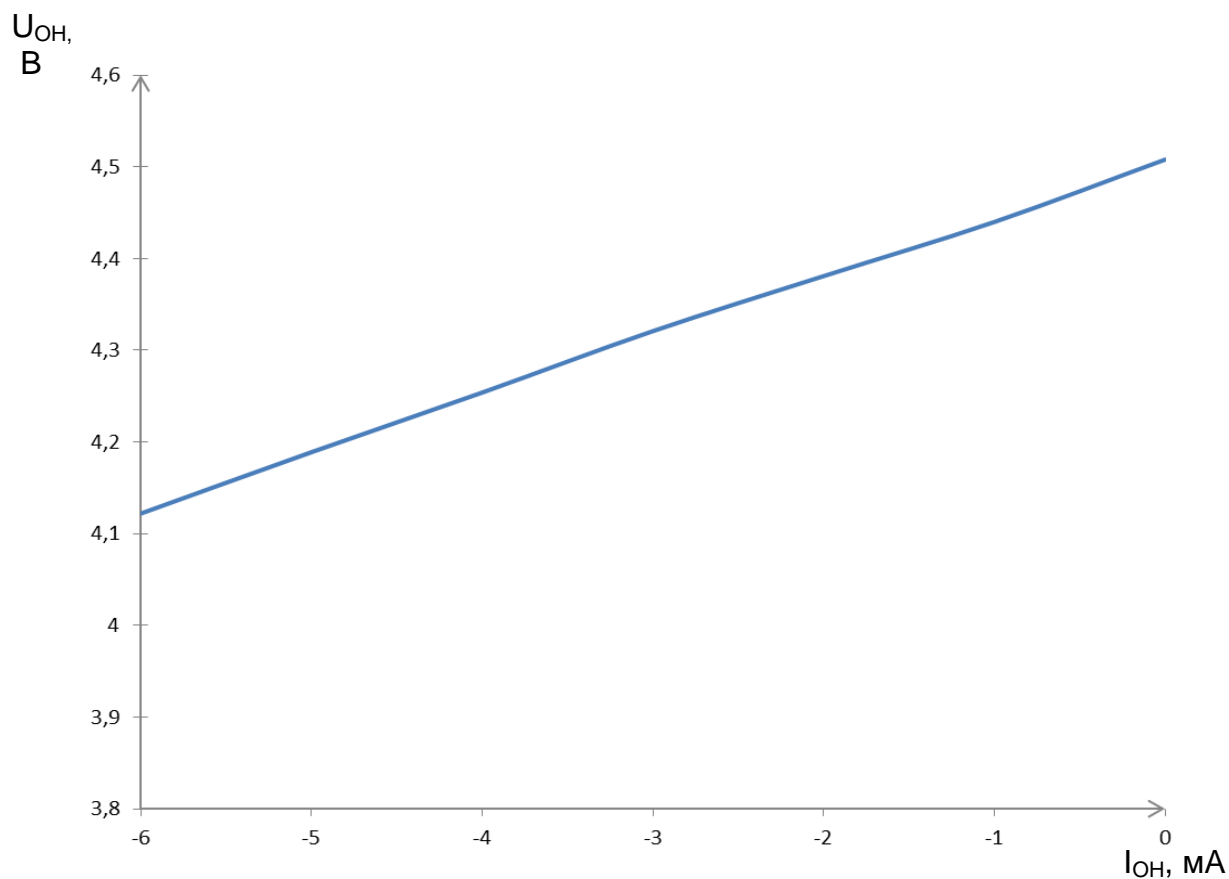


Рисунок 13 – Зависимость выходного напряжения высокого уровня, U_{OH} , от тока нагрузки, I_{OH} , при: $U_{CC} = 4,5$ В, $T = 25$ °С

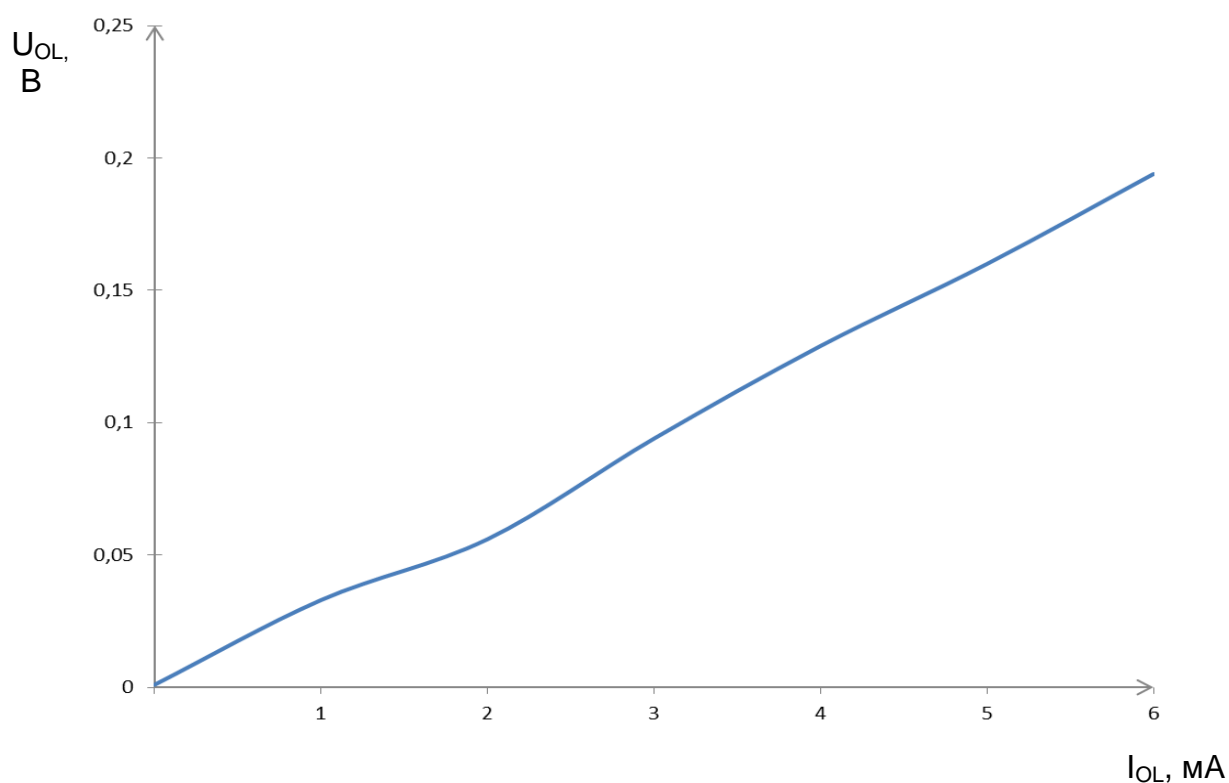


Рисунок 14 – Зависимость выходного напряжения низкого уровня, U_{OL} , от тока нагрузки, I_{OL} , при: $U_{CC} = 4,5$ В, $T = 25$ °С

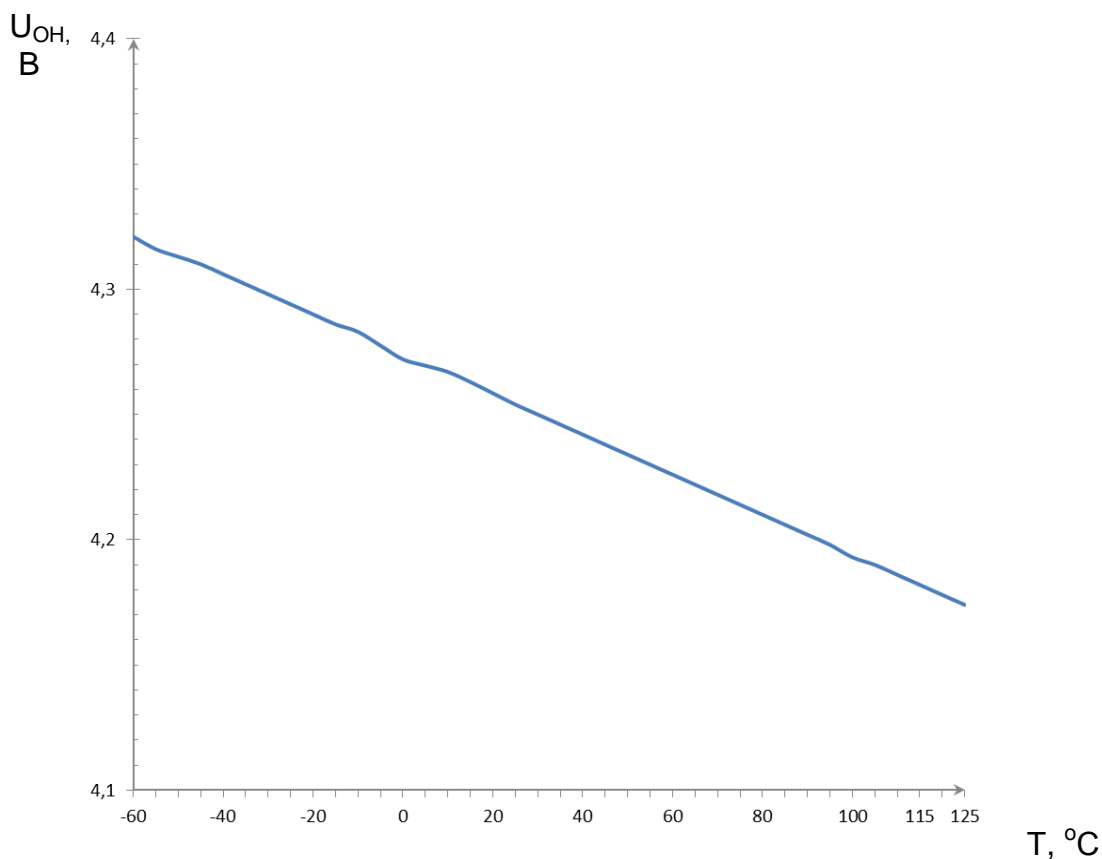


Рисунок 15 – Зависимость выходного напряжения высокого уровня, U_{OH} , от температуры, T , при: $U_{CC} = 4,5$ В, $I_{OH} =$ минус 4 мА

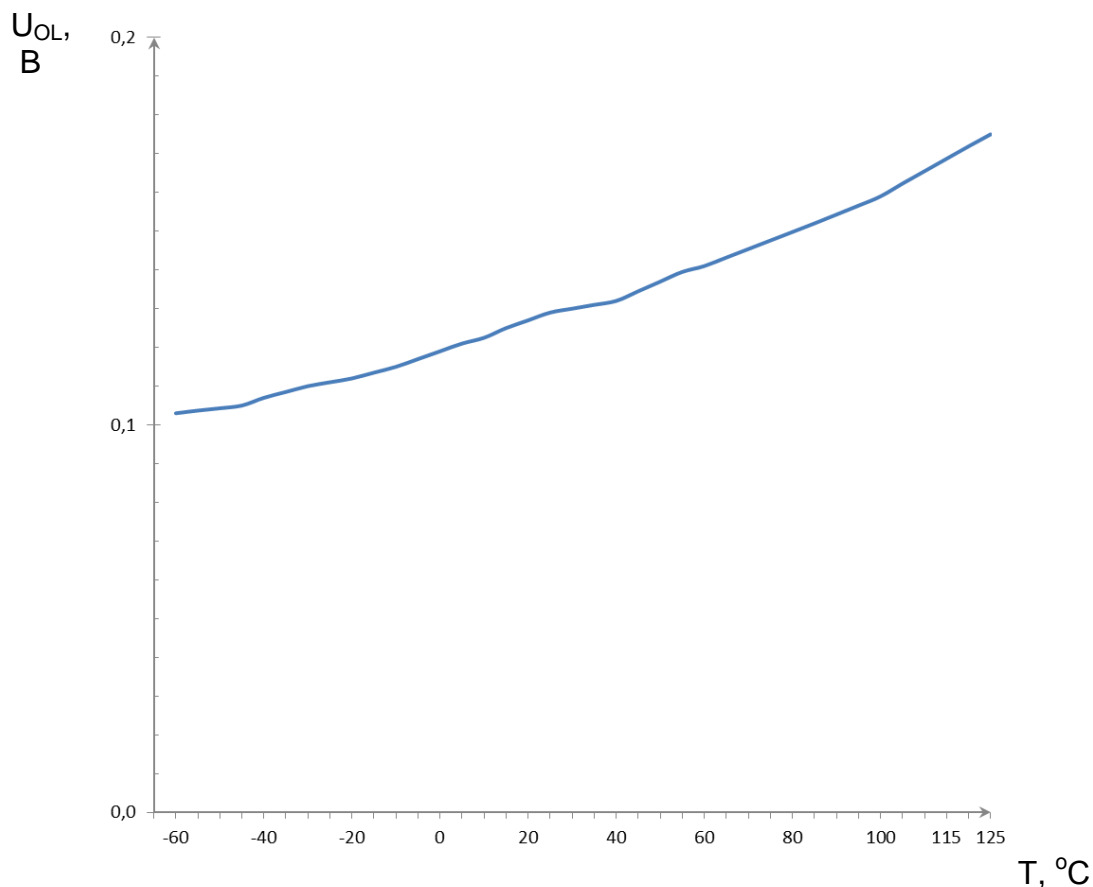


Рисунок 16 – Зависимость выходного напряжения низкого уровня, U_{OL} , от температуры, T , при: $U_{CC} = 4,5$ В, $I_{OL} = 4$ мА

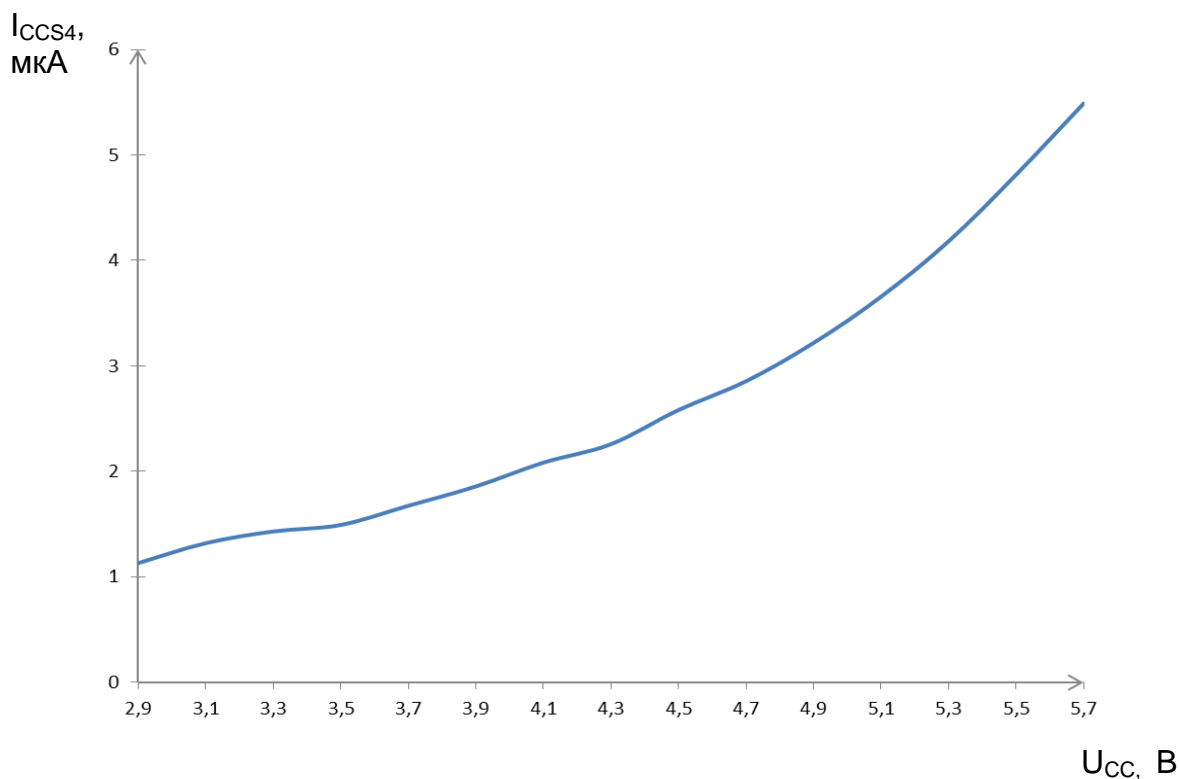


Рисунок 17 – Зависимость тока потребления в режиме хранения I_{CCS4} от напряжения питания, U_{CC} , при $T = 125\text{ °C}$

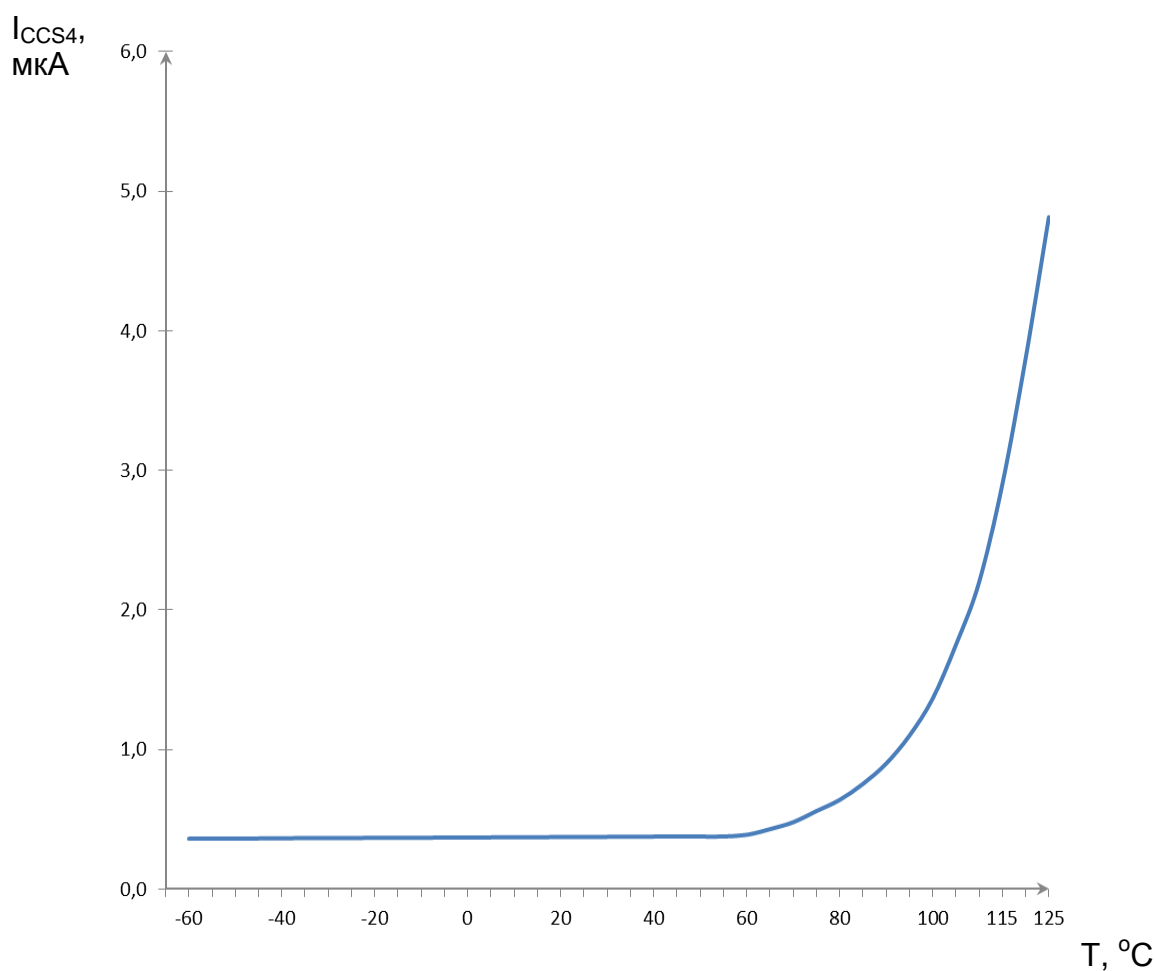


Рисунок 18 – Зависимость тока потребления в режиме хранения I_{CCS4} от температуры, T , при $U_{CC} = 5,5\text{ В}$

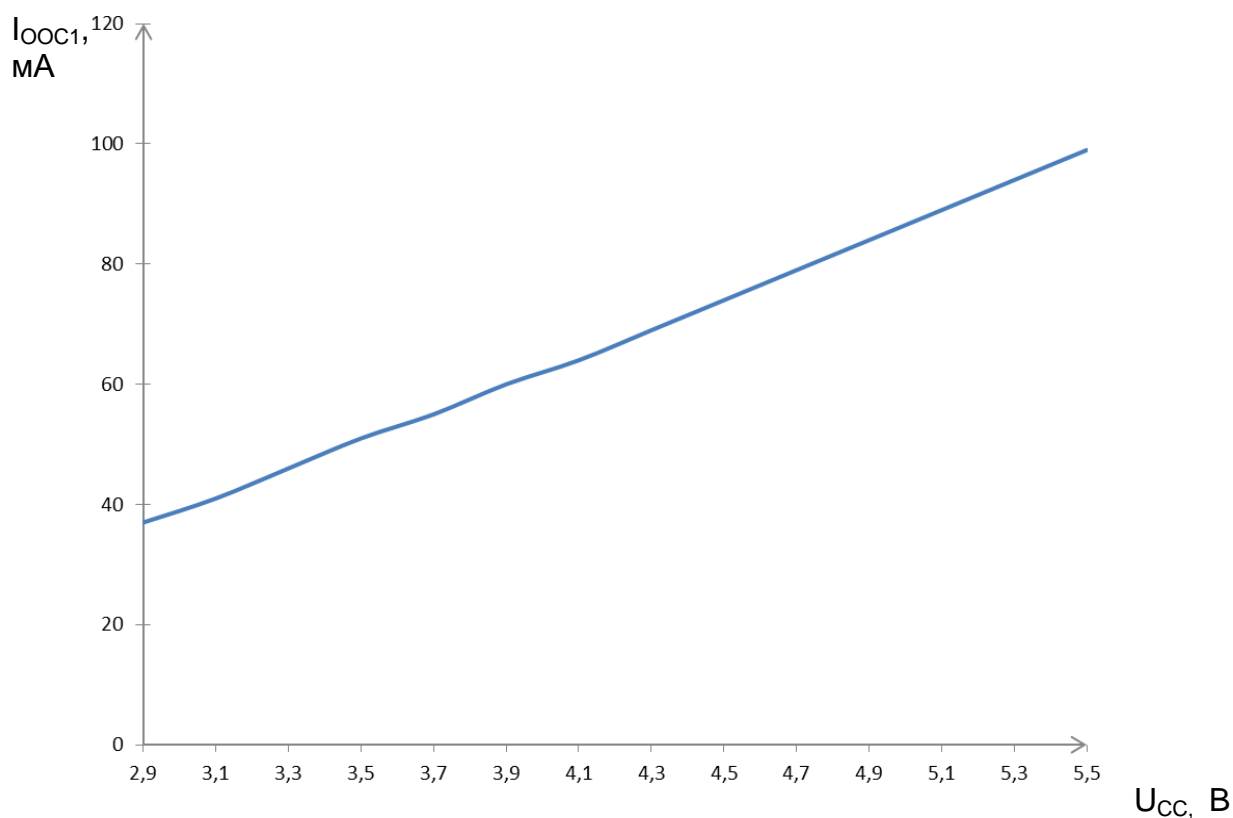


Рисунок 19 – Зависимость динамического тока потребления I_{OOC1} от напряжения питания, U_{CC} , при $t_{CYR} = 50$ нс, $T = 25$ °С

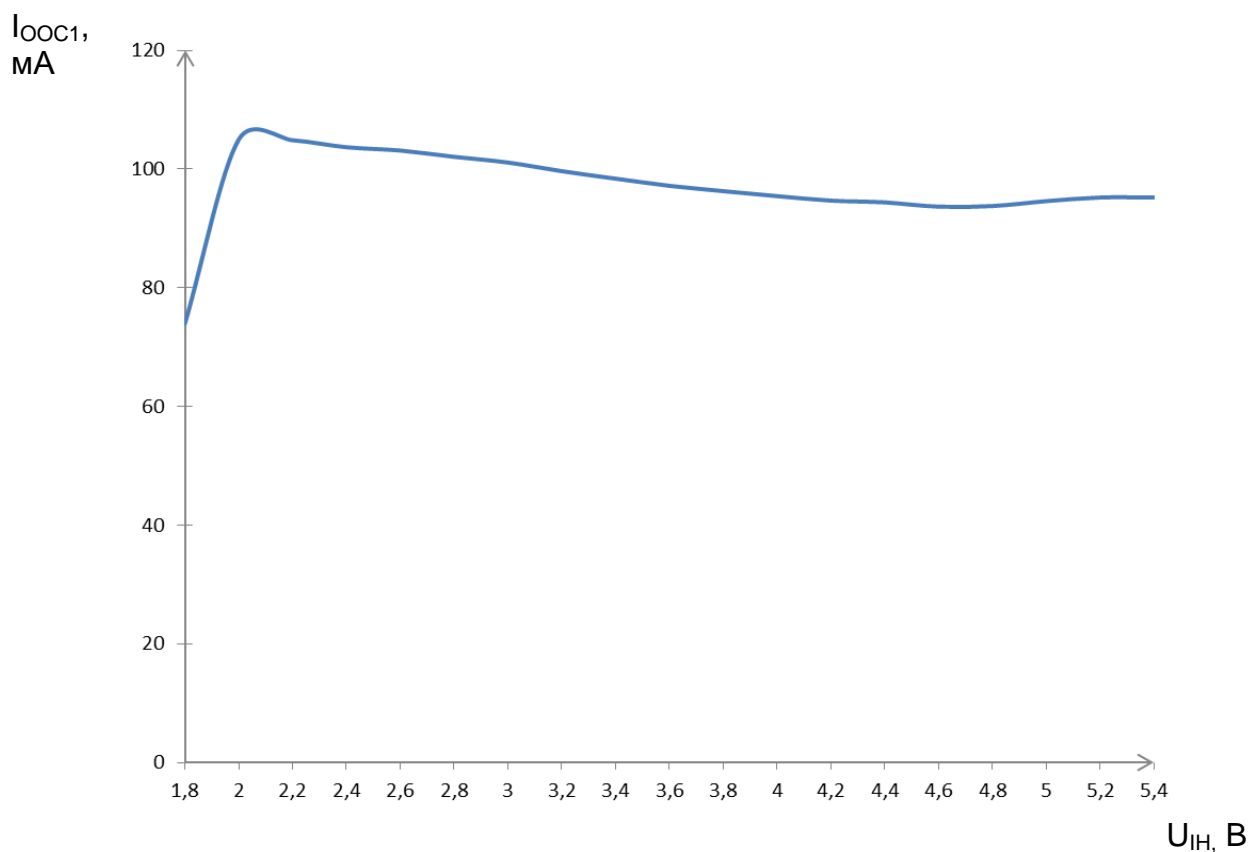


Рисунок 20 – Зависимость динамического тока потребления I_{OOC1} от входного напряжения высокого уровня, U_{IH} , при: $U_{CC} = 5,5$ В, $U_{IL} = 0,8$ В, $t_{CYR} = 50$ нс, $T = 25$ °С

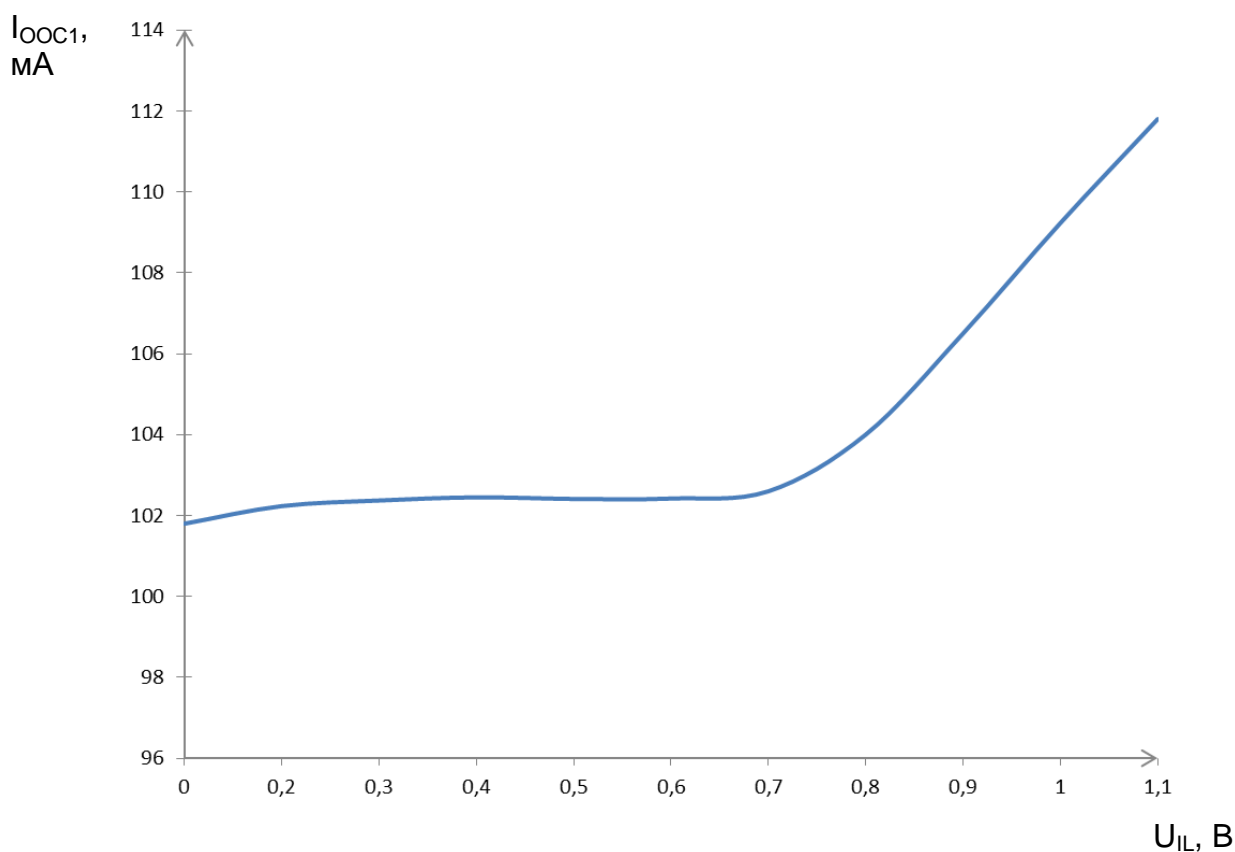


Рисунок 21 – Зависимость динамического тока потребления I_{OOC1} от входного напряжения низкого уровня, U_{IL} , при: $U_{CC} = 5,5$ В, $U_{IH} = 2,4$ В, $t_{CYR} = 50$ нс, $T = 25$ °С

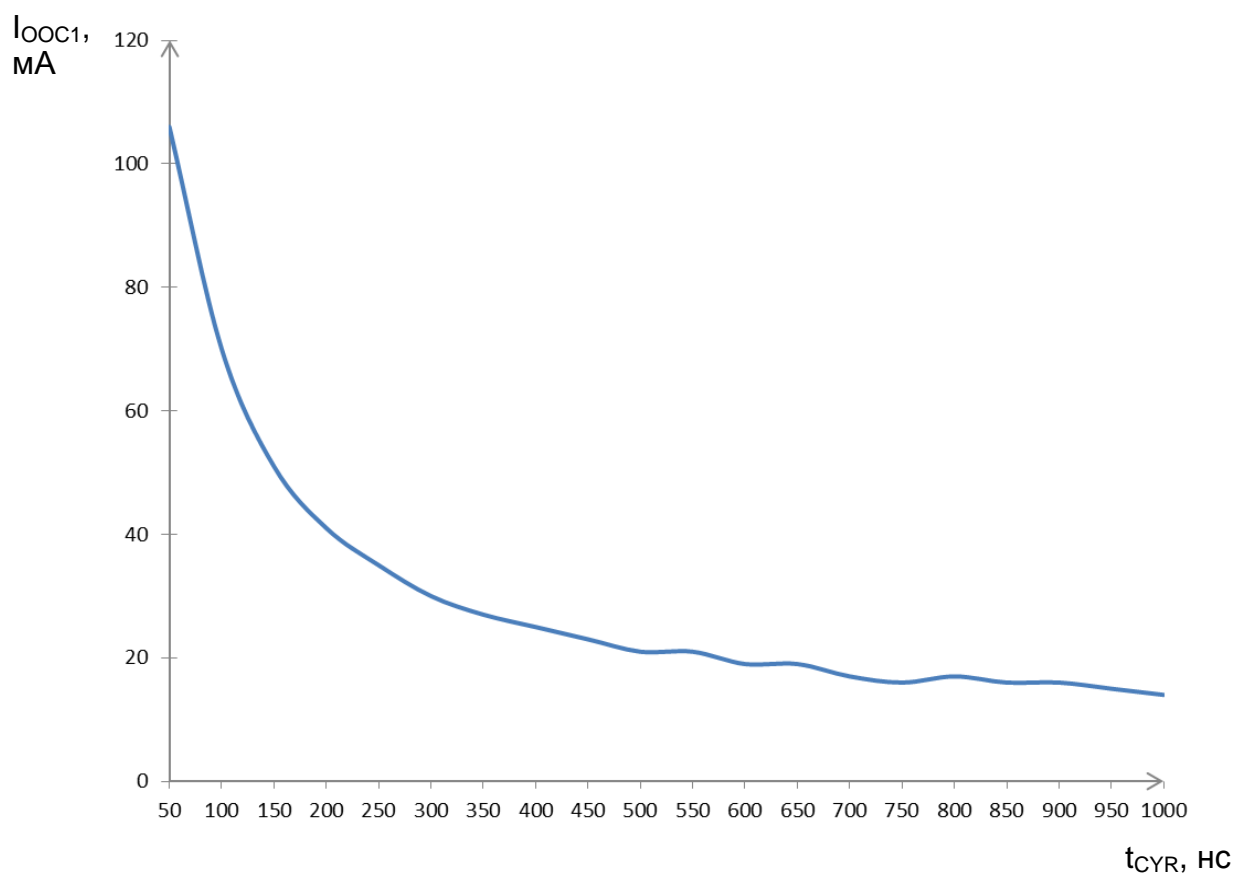


Рисунок 22 – Зависимость динамического тока потребления I_{OOC1} от времени цикла, t_{CYR} , при: $U_{CC} = 5,5$ В, $T = \text{минус } 60$ °С

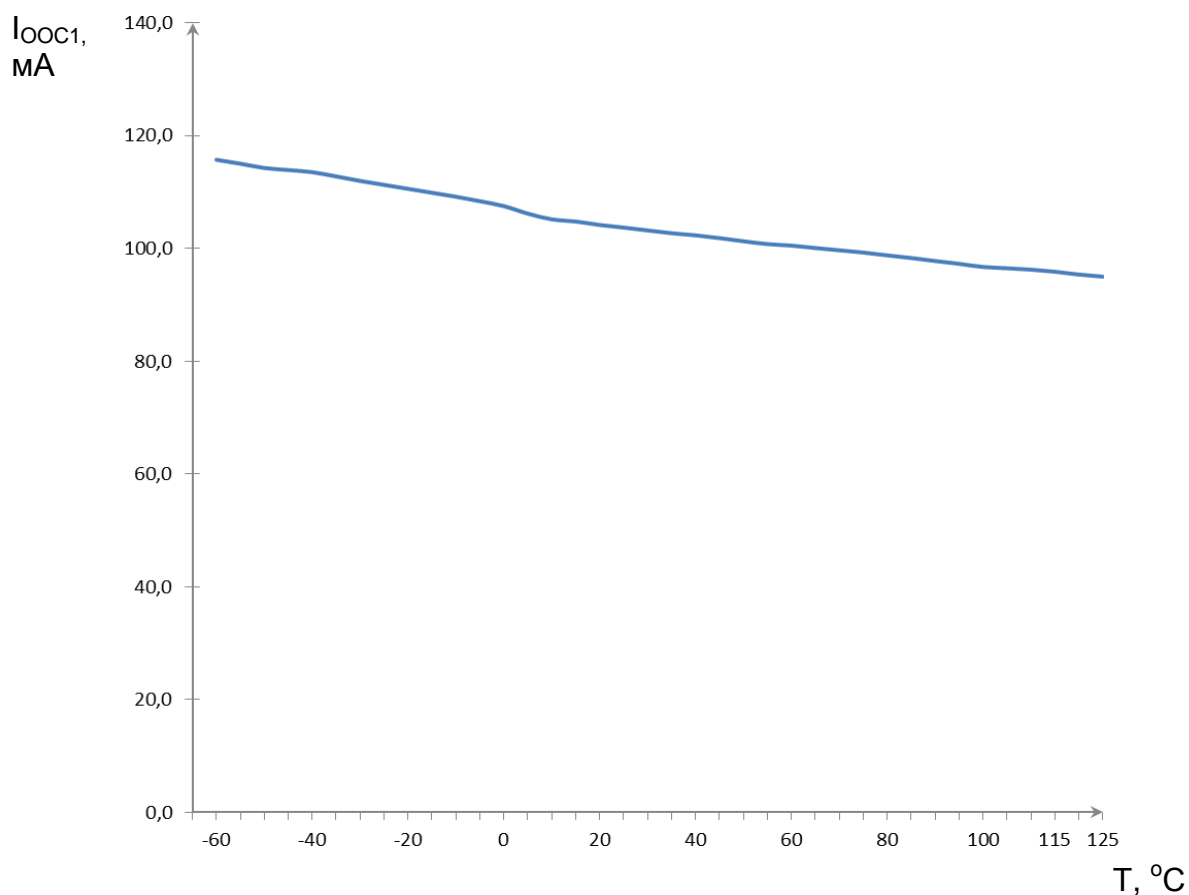


Рисунок 23 – Зависимость динамического тока потребления I_{OCC1} от температуры, T °C, при: $U_{CC} = 5,5$ В, $U_{IH} = 2,4$ В, $U_{IL} = 0,8$ В, $t_{CYR} = 50$ нс

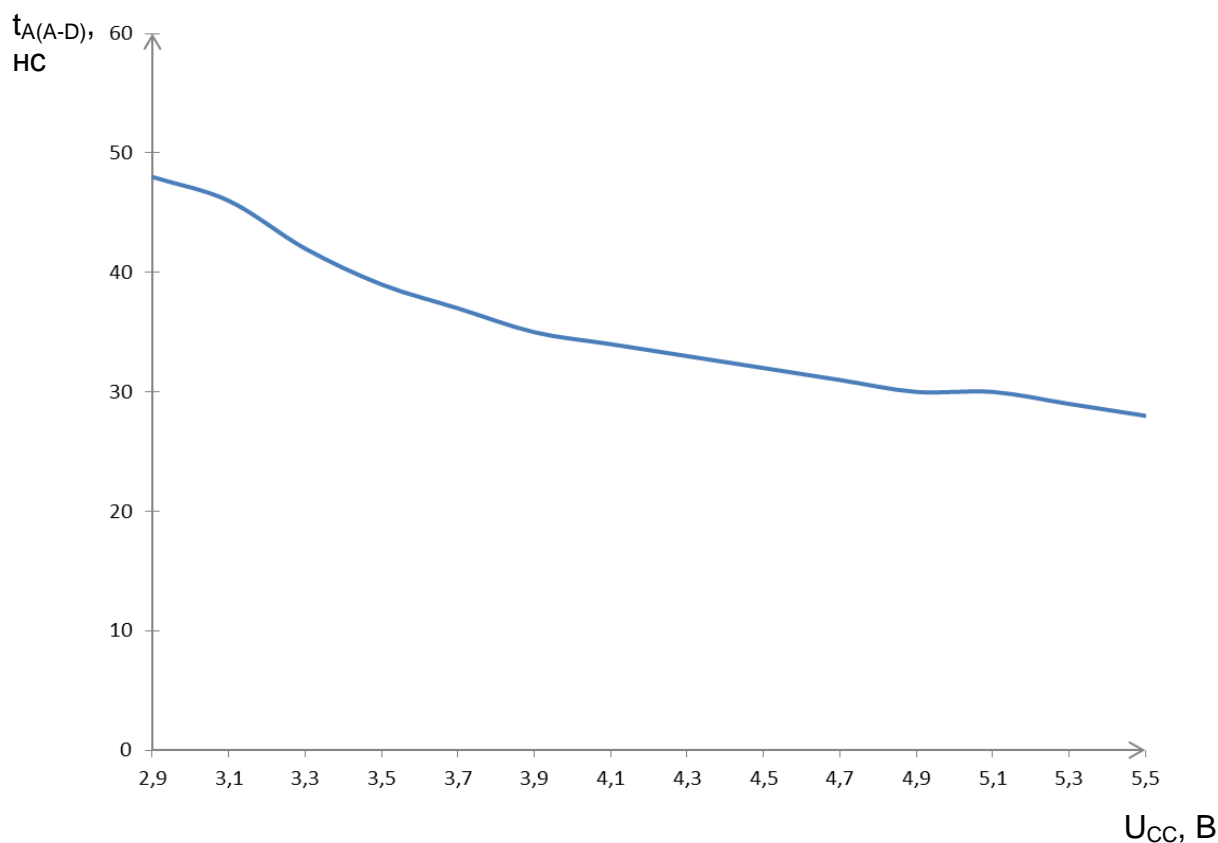


Рисунок 24 – Зависимость времени выборки адреса, $t_{A(A-D)}$, от напряжения питания, U_{CC} , при: $T = 125$ °C, $C_L = 30$ пФ

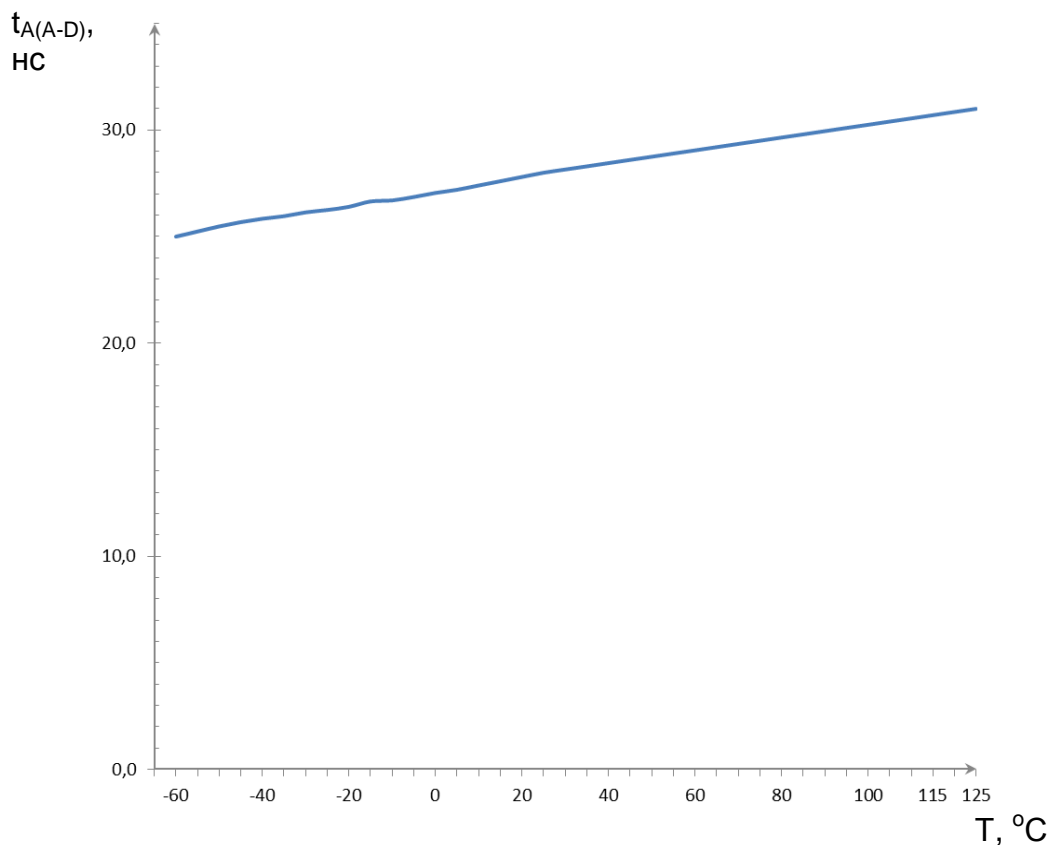


Рисунок 25 – Зависимость времени выборки данных адреса, $t_{A(A-D)}$, от температуры, T , при: $U_{CC} = 4,5$ В, $C_L = 30$ пФ

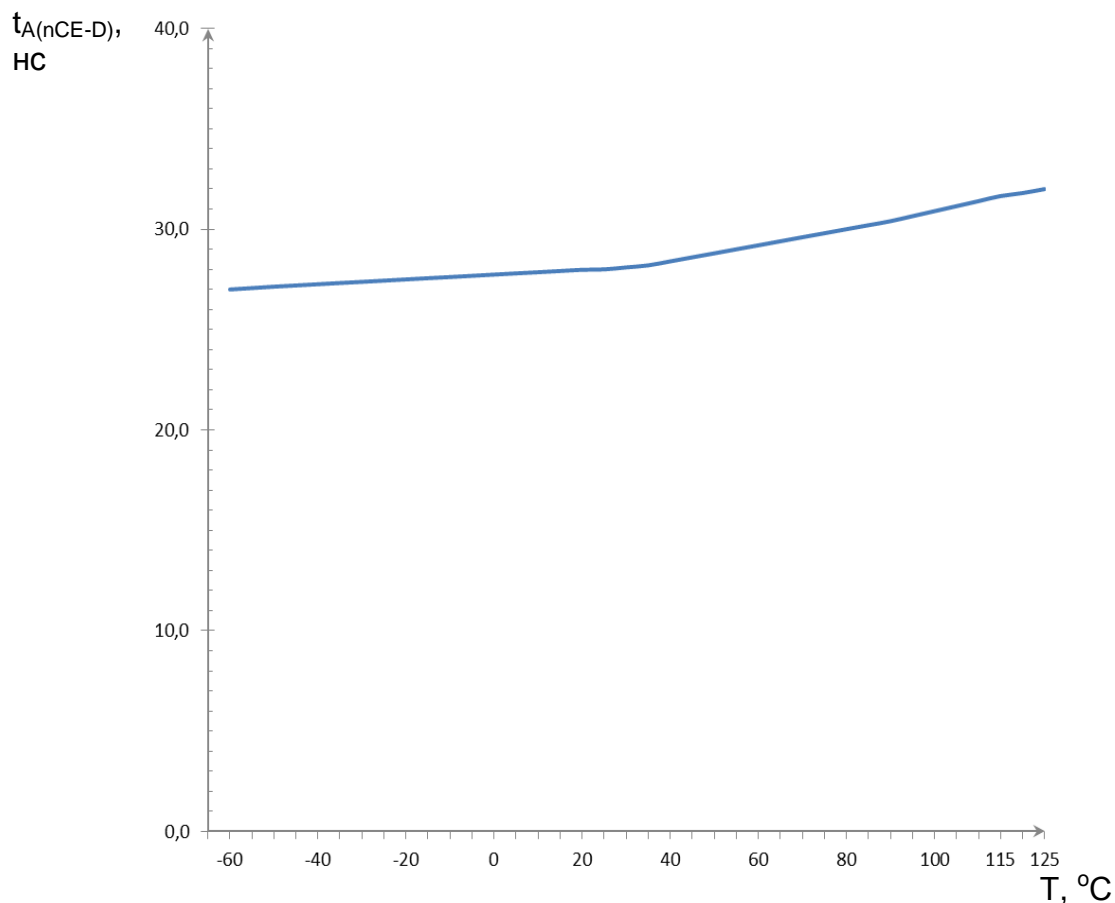


Рисунок 26 – Зависимость времени выборки данных по сигналу nCE, $t_{A(nCE-D)}$, от температуры, T , при: $U_{CC} = 4,5$ В, $C_L = 30$ пФ

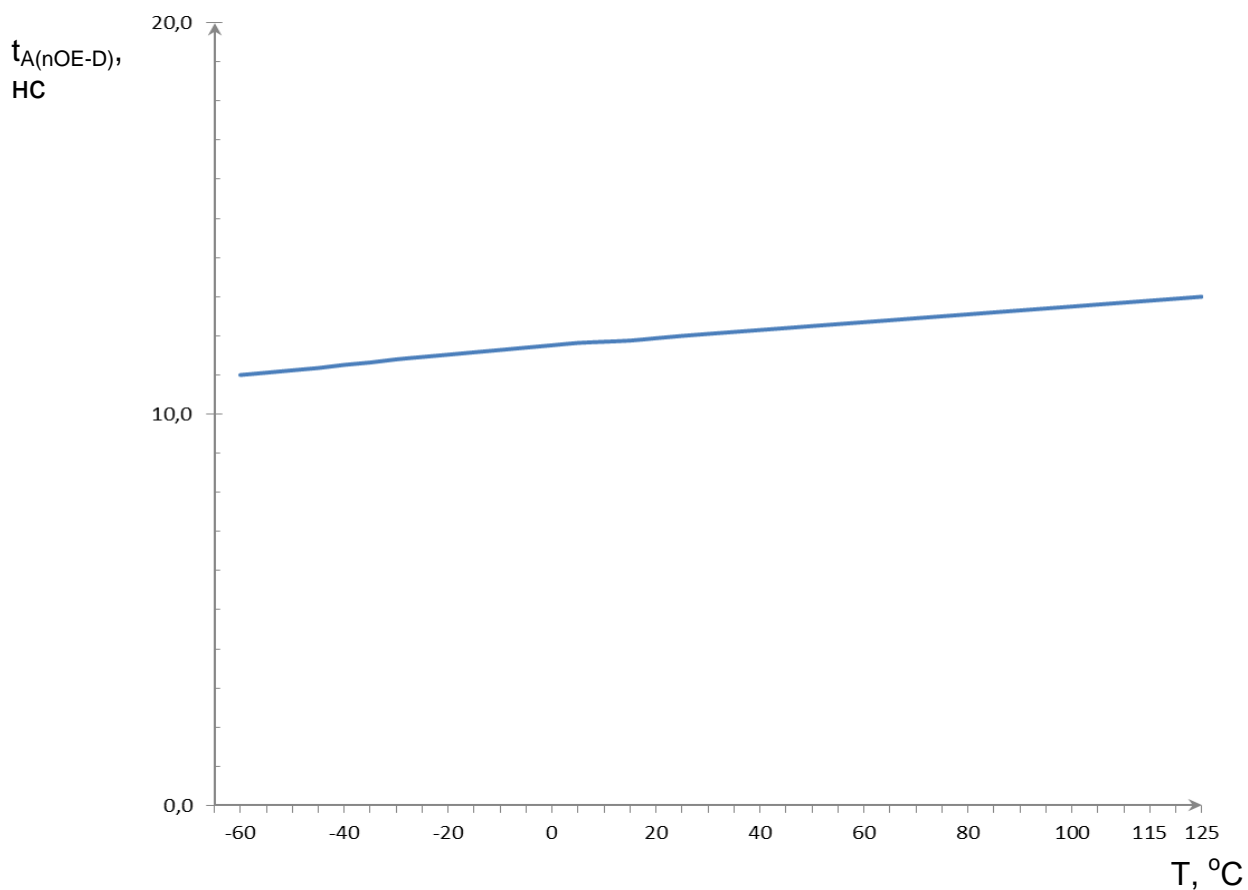


Рисунок 27 – Зависимость времени выборки данных по сигналу nOE, $t_{A(nOE-D)}$, от температуры, T , при: $U_{CC} = 4,5$ В, $C_L = 30$ пФ

Габаритный чертеж микросхемы

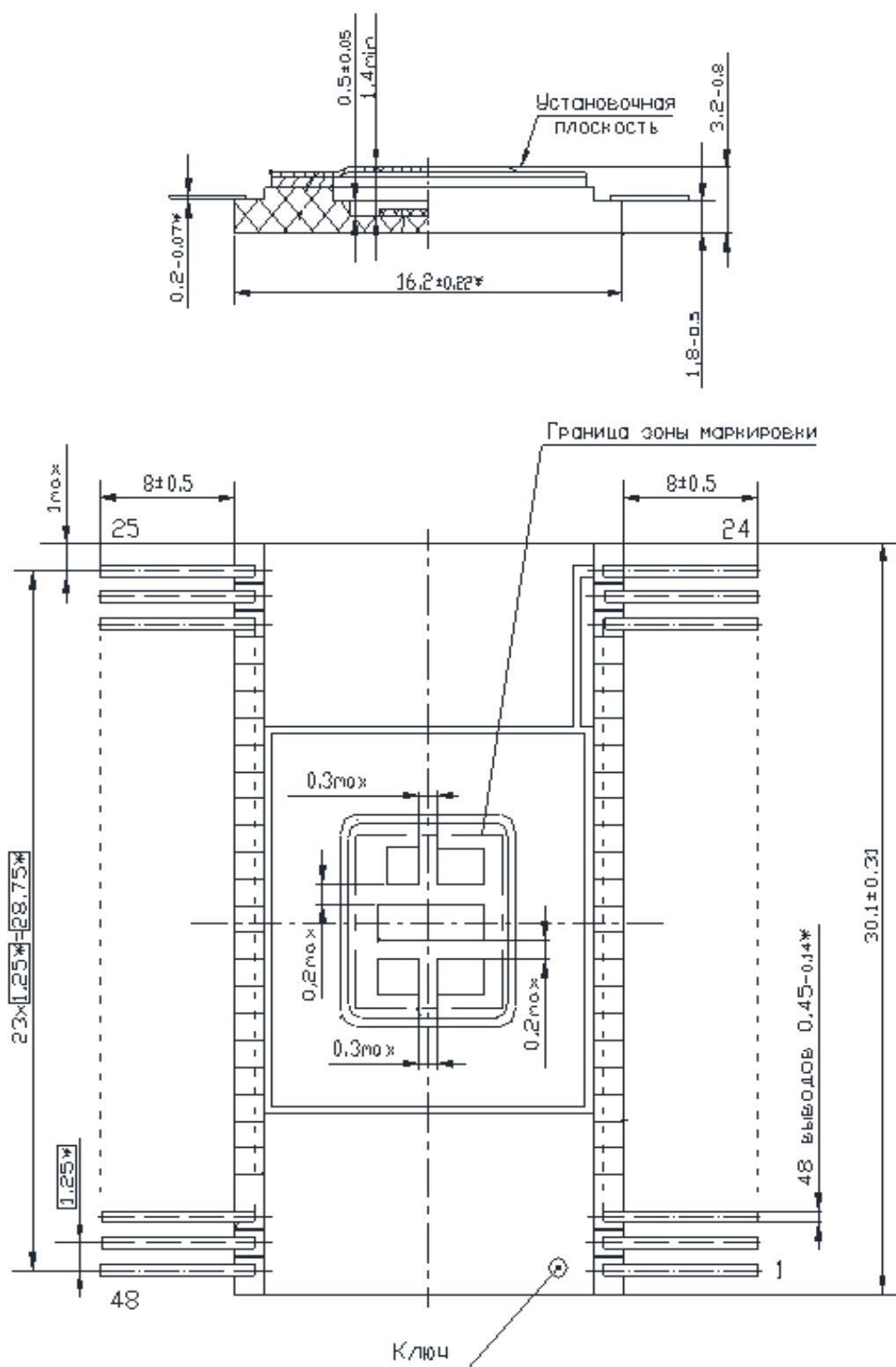
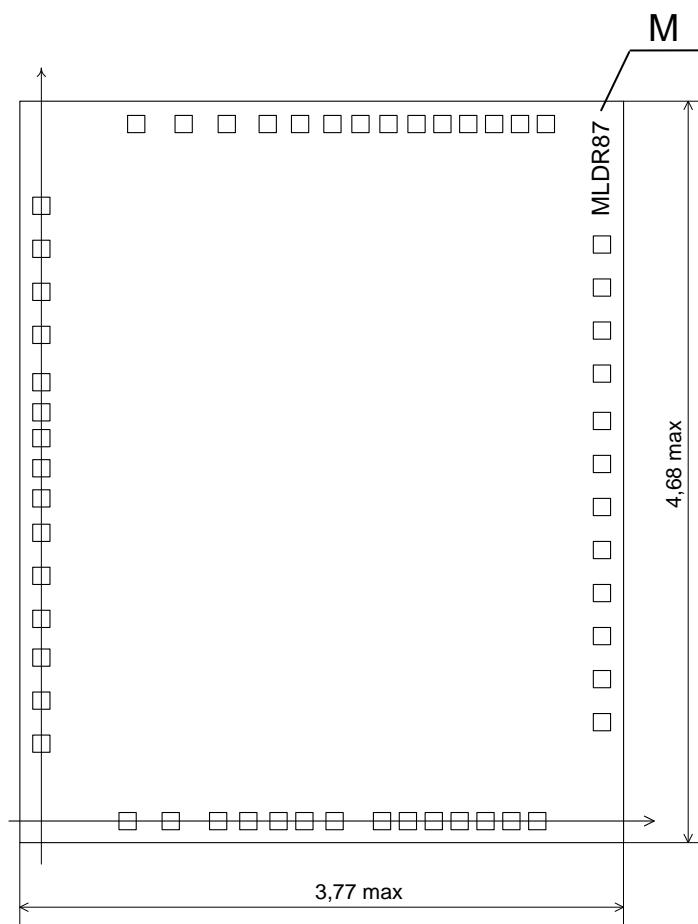


Рисунок 28 – Микросхема в корпусе 4134.48-2

Примечание – Ключ обозначен на обратной стороне корпуса



Размеры КП 85 × 85 мкм

Рисунок 29 – Кристалл

Примечания:

- 1 Номера контактным площадкам (КП) кристалла, кроме первой, присвоены условно. Расположение КП соответствует топологическому чертежу.
- 2 М – маркировка кристалла.
- 3 Толщина кристалла – $0,445 \pm 0,010$ мм.

Таблица 8 – Координаты контактных площадок

№ КП	Обозначение КП	Координаты КП		№ КП	Обозначение КП	Координаты КП	
		Х	Y			Х	Y
1	nCEL	3361,0	2438,30	29	I_OR<0>	0,00	1756,20
2	nWEL	3361,0	2665,20	30	I_OR<1>	0,00	1507,20
3	nBUSYL	3361,0	2917,10	31	I_OR<2>	0,00	1258,20
4	AL<10>	3361,0	3166,10	32	I_OR<3>	0,00	1009,20
5	nOEL	3361,0	3408,20	33	I_OR<4>	0,00	760,20
6	AL<0>	2903,00	4266,00	34	PfEq	0,00	496,20
7	AL<1>	2747,35	4266,00	35	I_OR<5>	572,00	0,00
8	AL<2>	2591,70	4266,00	36	I_OR<6>	830,85	0,00
9	AL<3>	2436,05	4266,00	37	I_OR<7>	1089,70	0,00
10	AL<4>	2280,40	4266,00	38	AR<9>	1267,45	0,00
11	AL<5>	2124,75	4266,00	39	AR<8>	1423,10	0,00
12	AL<6>	1969,10	4266,00	40	AR<7>	1578,75	0,00
13	AL<7>	1813,45	4266,00	41	AR<6>	1734,40	0,00
14	AL<8>	1657,80	4266,00	42	AR<5>	1965,40	0,00
15	AL<9>	1502,15	4266,00	43	AR<4>	2121,05	0,00

16	I_OL<0>	1324,40	4266,00	44	AR<3>	2276,70	0,00
17	I_OL<1>	1065,55	4266,00	45	AR<2>	2432,35	0,00
18	I_OL<2>	806,70	4266,00	46	AR<1>	2588,00	0,00
19	I_OL<3>	556,25	4266,00	47	AR<0>	2743,65	0,00
20	PfRe	0,00	3672,20	48	nOER	2903,00	0,00
21	I_OL<4>	0,00	3408,20	49	AR<10>	3361,00	760,20
22	I_OL<5>	0,00	3166,10	50	nBUSYR	3361,00	1009,20
23	I_OL<6>	0,00	2917,10	51	nWER	3361,00	1258,20
24	I_OL<7>	0,00	2665,20	52	nCER	3361,00	1507,20
25	M_nS	0,00	2455,35	53	VDD5O	3361,00	1756,20
26	Ch_glitch	0,00	2295,40	54	VDD5R	3361,00	1998,30
27	GND5R	0,00	2138,30	55	M_nS	3361,00	2218,30
28	GND5O	0,00	1956,20				

Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1645PK2T	1645PK2T	4134.48-2	минус 60 – 125 °С
K1645PK2T	K1645PK2T	4134.48-2	минус 60 – 125 °С
K1645PK2TK	K1645PK2T•	4134.48-2	0 – 70 °С
1645PK21T	1645PK21T	4134.48-2	минус 60 – 125 °С
K1645PK21T	K1645PK21T	4134.48-2	минус 60 – 125 °С
K1645PK21TK	K1645PK21T•	4134.48-2	0 – 70 °С

Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации. Маркировка микросхемы в бескорпусном исполнении – 1645PK2H4, K1645PK2H4 наносится на тару.

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов	№№ новых листов
1	16.08.2013	1.0.0	Введена впервые		
2	22.08.2013	1.1.0	Добавлено бескорпусное исполнение микросхемы		
3	19.12.2013	1.2.0	Исправлено значение динамического тока потребления, Таблицы 4 и 5 приведены в соответствие с ТУ	1, 9-13	
4	31.10.2014	2.0.0	Приведение в соответствие с ТУ и КД лит. А	По тексту	